

Araştırma Makalesi / Research Article

FPGA Tabanlı LogSig ve TanSig Transfer Fonksiyonlarının IQ-Math Sayı Standardında  
Tasarımı ve Gerçeklenmesi

Mehmet Şamil AKÇAY<sup>1\*</sup>, İsmail KOYUNCU<sup>2</sup>, Murat ALÇIN<sup>3</sup>, Murat TUNA<sup>4</sup>

<sup>1</sup> Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, Afyonkarahisar, Türkiye,  
ORCID ID: <https://orcid.org/0000-0003-1603-8903>, msakcay@usr.aku.edu.tr

<sup>2</sup> Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, Afyonkarahisar, Türkiye,  
ORCID ID: <https://orcid.org/0000-0003-4725-4879>, ismailkoyuncu@aku.edu.tr

<sup>3</sup> Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Mekatronik Mühendisliği Bölümü, Afyonkarahisar, Türkiye,  
ORCID ID: <https://orcid.org/0000-0002-2874-7048>, muratalcin@aku.edu.tr

<sup>4</sup> Kırklareli Üniversitesi, Teknik Bilimler Meslek Yüksekokulu, Elektrik Bölümü, Kırklareli, Türkiye,  
ORCID ID: <https://orcid.org/0000-0003-3511-1336>, murat.tuna@klu.edu.tr

Geliş/ Received: 28.03.2022;

Kabul / Accepted: 09.09.2022

**ÖZET:** Yapay Sinir Ağları (YSA), günümüzde sinyal işleme, optimizasyon, tahmin, karar verme ve kontrol gibi bir çok mühendislik alanında yoğun şekilde kullanılmaktadır. YSA yapılarının çalışmasını doğrudan etkileyen önemli bölümlerinden birisi de Transfer Fonksiyonlarıdır (TF). Doğrusal olmayan TF tasarımlarının gerçek zamanlı tasarımı üstel fonksiyon içerdiğinden oldukça zor bir şekilde gerçekleştirilmektedir. Bu çalışmanın ilk aşamasında, literatürdeki çalışmalardan farklı olarak doğrusal olmayan Logaritmik Sigmoid (LogSig) ve Tanjant Sigmoid (TanSig) TF, 32-bit (16I-16Q) IQ-Math formatında VHDL dilinde tasarlanmıştır. İkinci aşamada, VHDL dilinde FPGA çiplerinde çalışmak üzere örnek bir üç giriş-üç çıkışlı bir YSA (ileri beslemeli) yapısı 32-bit IQ-Math formatında modellenmiştir. Tasarımın gizli katmanında 8 adet nöron, gizli katmanda LogSig ile TanSig TF ve çıkış katmanında ise PureLin TF kullanılmıştır. Örnek YSA tasarımı iki farklı TF tasarımı için ayrı bir testbench dosyası oluşturulmuş ve bu tasarımlar VHDL ile Xilinx ISE DS programı ile test edilmiştir. Elde edilen simülasyon sonuçlarına göre nümerik tabanlı LogSig ve TanSig TF içeren YSA tasarımları için MSE ve RMSE hata analizleri yapılarak sonuçlar sunulmuştur. Ardından her bir tasarım XC7K70T-3FBG676 FPGA (Kintex-7) için sentezlenerek Place-Route prosesi gerçekleştirilmiştir. Place-Route prosesinden elde edilen FPGA çip kaynak kullanımı istatistikleri sunulmuştur. Tasarımlara ait hata analizi sonuçlarına göre YSA-LS (LogSig-tabanlı YSA) tasarımı 8.86E-06 MSE ve YSA-TS (TanSig-tabanlı YSA) tasarımı 7.92E-02 MSE sonuçları elde edilmiştir. Bu çalışmadan elde edilen sonuçlar ile IQ-Math tabanlı LogSig ve TanSig aktivasyon fonksiyonu tasarımlarının gerçek zamanlı YSA uygulamalarında güvenli bir şekilde kullanılabilceği gösterilmiştir.

**Anahtar Kelimeler:** Transfer Fonksiyonları, IQ-Math Sayı Standardı, YSA, FPGA, VHDL, LogSig, TanSig.

\*Sorumlu yazar / Corresponding author: muratalcin@aku.edu.tr

Bu makaleye atıf yapmak için /To cite this article

Akçay, M. Ş., Koyuncu, İ., Alçın, M., Tuna, M. (2022). FPGA Tabanlı LogSig ve TanSig Transfer Fonksiyonlarının IQ-Math Sayı Standardında Tasarımı ve Gerçeklenmesi. Journal of Materials and Mechatronics: A (JournalMM), 3(2), 225-239.

## Design and Implementation of FPGA Based LogSig and TanSig Transfer Functions in IQ-Math Number Standard

**ABSTRACT:** Artificial Neural Networks (ANNs) have been used extensively in engineering fields where many processes such as optimization, prediction, signal processing, decision making and control today. Transfer Functions (TF) used in these operations affect directly the output of the result by affecting the ANN structure. In the first stage of this study, apart from the studies in the literature, non-linear LogSig and TanSig TF have been coded using VHDL in accordance with the 32-bit (16I-16Q) IQ-Math standard. The exponential function  $e^n$ , which is common to these two TF structures, has been designed using the CORDIC-LUT approach. In the second stage, an FPGA-based sample three-input-three-output ANN has been performed. 8 neurons have been used in the hidden layer of this design. LogSig and TanSig TF have been used in the hidden layer and PureLin TF has been used in the output layer. The sample ANN has been coded using VHDL with 32-bit IQ-Math standard for two different TF. A separate testbench file has been created for each design, and all these designs have been tested using VHDL with the Xilinx ISE DS. For the simulation results obtained, MSE and RMSE error analyzes were performed using numerical-based LogSig-TanSig TF and ANN designs, and the results were presented. Then, each design has been synthesized for the XC7K70T-3FBG676 FPGA (Kintex-7), and the chip statistics have been presented by performing the Place-Route process. As a result, ANN-LS (Artificial Neural Networks-LogSig) design produced more successful results with 8.86E-06 MSE and 2.98E-03 RMSE error analysis results. In future studies, real-time ANN applications can be realized on FPGA chips by using these ANN and TF designs.

**Keywords:** Activation Functions, IQ-Math Number Standard, ANN, FPGA, VHDL, LogSig, TanSig.

### 1. GİRİŞ

Yapay zekânın alt çalışma alanlarından olan Yapay Sinir Ağları (YSA-(Artificial Neural Networks)) günümüzde görüntü işleme, kaotik osilatör tasarımı, optimizasyon, rasgele sayı üretici, kontrol, haberleşme ve otomotiv gibi geniş bir alanda yaygın bir şekilde kullanılmaktadır. Bu nedenle mühendislik uygulamalarında bu ağlara yaygın olarak rastlamak mümkündür. Bu ağların kullanıldığı bazı mühendislik uygulamalarına, otomotiv sanayi (Ahmed ve ark., 2015), optik (Mello ve Ventura, 2020), rasgele sayı üreticileri (Alçın ve ark., 2021), haberleşme (Kaur ve Sivia, 2020), uzay sanayi (Wang ve ark., 2020) ve robotik (Du, 2011) örnek verilebilir.

YSA-tabanlı çalışmalar genellikle yazılımsal ve donanımsal olmak üzere iki ana başlığa ayrılmaktadır (Koyuncu ve ark., 2019). Yazılımsal YSA çalışmaları hız, paralellik ve yoğun matematiksel hesaplamanın çok önemli olduğu gerçek zamanlı YSA uygulamalarında performans açısından yetersiz kalmaktadır. Bu yüzden donanımsal YSA çalışmalarında, FPGA (Field Programmable Gate Array-Alan Programlanabilir Kapı Dizileri), ASIC (Application Specific Integrated Circuit-Uygulamaya Özel Tümlşik Devre) ve GPU (Graphic Processor Unit-Grafik İşlemci Birimi) gibi birçok platform kullanılmaktadır. Bu platformlar içerisinde FPGA çipleri düşük güç tüketimi, yüksek çalışma frekansları, tekrar tekrar programlanabilme, hızlı ilk prototipleme, paralel çalışma ve esneklik gibi önemli avantajları bir araya getirmektedir. FPGA platformları bu avantajları sayesinde YSA uygulamalarında gerekli olan yüksek hız ve yüksek performansı sağlamaktadır (Akçay ve ark., 2020).

Literatürde FPGA platformlarında yapılan YSA çalışmalarında, Şahin ve Koyuncu tarafından LogSig (**Logarithmic Sigmoid**), TanSig (**Tangent Sigmoid**) ve RadBas (**Radial Basis**) Transfer Fonksiyonları (TF) kullanılarak FPGA-tabanlı 32-bitlik IEEE 754-1985 kayan noktalı standardında

YSA tasarımı gerçekleştirmişlerdir. Sunulan çalışmada, FPGA çipinde 10 ya da daha fazla nörona sahip bir YSA tasarımının kolaylıkla uygulanabileceği gösterilmiştir (Sahin ve Koyuncu, 2012).

Adetiba ve arkadaşları, FPGA tabanlı olarak Çok Katmanlı Perseptron YSA (Multi-Layer Perceptron-Artificial Neural Networks-MLP-ANN) yapısını gerçekleştirmişlerdir. TanSig ve LogSig TF kullanılarak nöron test edilmiştir. Sonuçta, TanSig TF ile daha verimli sonuçların alındığı ifade edilmiştir (Adetiba ve ark., 2014).

Gupta ve diğerleri, FPGA yongalarında çalışabilecek ve gömülü uygulamalarda sıklıkla tercih edilen SNN (Spiking Neural Networks) modelini geliştirmişlerdir. Tasarım Xilinx firması Virtex-6 FPGA çipi için gerçekleştirilmiştir. Sunulan çalışmaya göre 800 nöronlu bir ağ analiz edilebilmektedir (Gupta ve ark., 2020).

Çavuşlu, parçacık sürü optimizasyonu algoritması ile FPGA tabanlı YSA eğitimi uygulaması tasarlamışlardır. Tasarım Altera firmasına ait EP2C35F672C6 FPGA çipi için gerçekleştirilmiştir. Gerçeklenen yapıda, giriş katmanında 2, gizli katmanda 2 nöron ve çıkış katmanında ise 1 adet nöron bulunmaktadır (Çavuşlu ve ark., 2010).

Jiang ve Kong, FPGA tabanlı ektopik ventriküler atımların sınıflandırılmasına yönelik bir çalışma yapmışlardır. Çalışmada geliştirilebilir blok-tabanlı (Block-based Neural Networks) yapı ile FPGA platformlarında kullanılmak üzere bir sınıflandırıcı tasarımı yapılmıştır. Sonuçta, YSA yapısından % 98.1 oranında bir ağ hassasiyeti elde edilmiştir (Jiang ve Kong, 2007).

Alçın tarafından yapılan çalışmada, Pehlivan-Uyaroglu kaotik sistemi YSA üzerinde çalışmak üzere modellenmiştir. Yapılan YSA-tabanlı tasarım, Xilinx FPGA çipleri üzerinde çalışmak üzere gerçekleştirilmiştir. Çalışmada son olarak FPGA çipleri üzerinde YSA tabanlı kaotik sistemlerin başarılı bir şekilde modellenilebileceği belirtilmiştir (Alçın ve ark., 2016).

Yılmaz tarafından jeotermal enerji destekli hidrojen üretimi sistemine ait ekonomik analiz çalışması gerçekleştirilmiştir. Çalışmada sunulan Çok Katmanlı İleri Beslemeli (Multi-Layer Feed Forward) YSA modelinde 3 giriş ve 3 adet çıkış bulunmaktadır. Tasarımın gizli (hidden) katmanında 8 adet nöron vardır. YSA gizli katmanında TanSig TF kullanılarak tasarıma ait MSE hata analizleri yapılmıştır (Yılmaz ve ark., 2019).

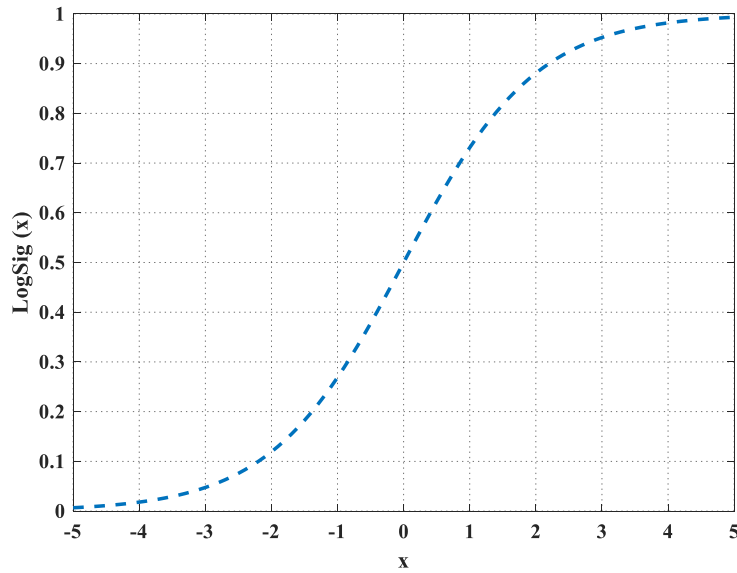
Bu çalışmada, literatürdeki çalışmalardan farklı olarak 32-bit IQ-Math sayı formatında VHDL (Very High Speed Integrated Circuit **H**ardware **D**escription **L**anguage-Çok Yüksek Hızlı Tümlşik Devre Donanımı Tanımlama Dili) ile doğrusal olmayan LogSig ve TanSig TF kodlanmıştır. Daha sonra FPGA tabanlı örnek bir üç giriş-üç çıkışlı bir YSA (ileri beslemeli) yapısı tasarlanmıştır. Tasarlanan YSA yapısında bir adet gizli katman ve bu katmanda 8 adet nöron kullanılmıştır. Yapının gizli katmanına LogSig ve TanSig TF, çıkış katmanına ise doğrusal PureLin TF yerleştirilmiştir. Örnek YSA tasarımı iki farklı TF için 32 bit IQ-Math standardı ile VHDL dilinde kodlanmıştır. İki TF ve örnek YSA tasarımları Xilinx ISE Design Suite 14.7 (X-ISE-DS) ortamında simüle edilerek test edilmiştir. Bu işlemde elde edilen simülasyon sonuçları kullanılarak MSE (Ortalama Karesel Hata-Mean Square Error) ve RMSE (Root Mean Square Error-Kök Ortalama Karesel Hata) hata analizleri yapılmış ve analizlerden elde edilen sonuçlar sunulmuştur. Bu aşamadan sonra tasarlanan YSA yapıları Xilinx firması tarafından geliştirilen Kintex-7 geliştirme kartı üzerinde bulunan XC7K70T FPGA için sentezlenmiştir. Bu işlemde sonra gerçekleştirilen Place-Route prosesinden elde edilen FPGA kaynak kullanımı istatistikleri verilmiştir. Çalışmanın İkinci Bölümünde YSA ve FPGA çiplerinden özet bilgiler ifade edilmiştir. Üçüncü Bölümde FPGA tabanlı LogSig ve TanSig TF tasarımları ile örnek YSA tasarımı sunulmuştur. Dördüncü Bölümde tasarımlardan elde edilen sonuçlar yorumlanarak değerlendirilmiştir.

## 2. MATERYAL VE YÖNTEM

### 2.1 Yapay Sinir Ağları

İnsan beyni en kompleks yapıya sahip sistemlerden birisidir. İnsan beyninin muhteşem yapı ve işleyişinin incelenmesi ve matematiksel modellenmesi ile YSA çalışma alanı meydana gelmiştir. YSA’da her giriş verisine kendi ağırlığı ile çarpma işlemi uygulanmakta ve daha sonra toplama fonksiyonunda sonuçlar eşik değeri ile toplanmaktadır. Buradan çıkan sonucun aktivasyon fonksiyonunda işlenmesi ile çıkış bilgisi üretilmektedir. Aktivasyon fonksiyonu sonucu doğrudan etkilemekte ve çıkış bilgisini gerekli sonlu aralıklarda sınırlandırmaktadır. Bu fonksiyonlar YSA uygulamalarında doğrusal veya doğrusal olmayan biçimlerde yaygın olarak tercih edilmektedir. Bu çalışmada kullanılan LogSig TF’ye ait matematiksel eşitlik Eşitlik 1’de ve LogSig TF’ye ait grafik Şekil 1’de verilmiştir.

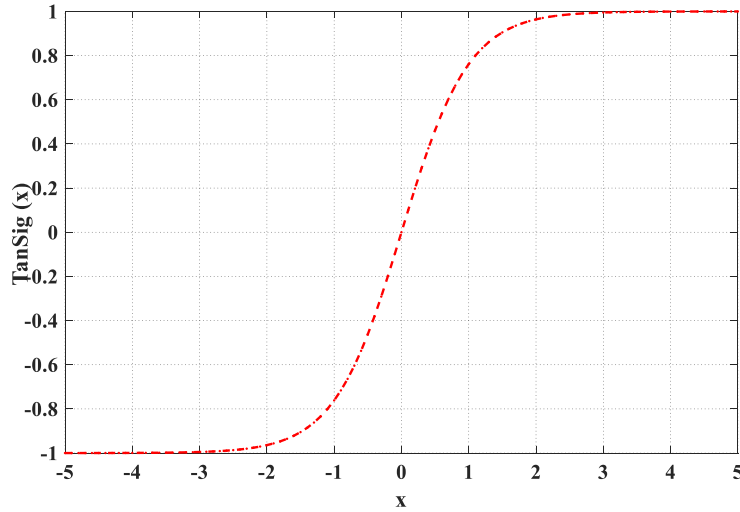
$$\text{LogSig}(x) = \frac{1}{1 + e^{-x}} \quad (1)$$



Şekil 1. LogSig TF değişim grafiği

Bu çalışmada kullanılan TanSig TF’ye ait matematiksel eşitlik Eşitlik 2’de ve TanSig TF’ye ait grafik Şekil 2’de verilmiştir.

$$\text{TanSig}(x) = \frac{2}{1 + e^{-2x}} - 1 \quad (2)$$

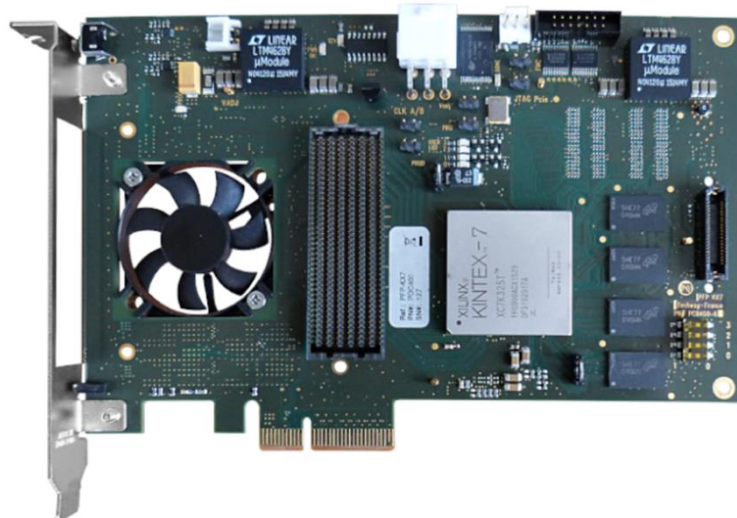


Şekil 2. TanSig TF değişim grafiği

YSA giriş katmanı, gizli katman ya da katmanlar ve çıkış katmanından meydana gelmektedir. Üzerinde çalışılan probleme göre gizli katman ve bu katmandaki nöron sayısı, tercih edilen TF farklılık göstermektedir. Bu çalışmada giriş ve çıkış katmanlarında üçer nöron gizli katmanda ise 8 nöron bulunan ileri beslemeli bir YSA tasarlanmıştır.

## 2.2 FPGA Çipleri

Günümüzde oldukça popüler sayısal sinyal işleme platformlarından birisi olan FPGA (Alan(da)/Saha(da) Programlanabilir Kapı Dizileri-Field Programmable Gate Array) çiplerinin diğer sayısal platformlara göre düşük güç tüketimi, yüksek çalışma frekansları, tekrar tekrar programlanabilme, hızlı ilk prototipleme, paralel çalışma ve esneklik gibi önemli avantajları bulunmaktadır. Bu nedenle sinyal-görüntü işleme (Paukštaitis ve Dosinas, 2009), modelleme (Tuntas, 2015), kaos (Koyuncu ve ark., 2018), rasgele sayı üretimi (Alçın ve ark., 2019), algoritma hızlandırma (Sahin, 2010), tıp (Abdullah ve Younis, 2019), YSA (Koyuncu ve ark., 2017), robotik (Bargsten ve Fernandez, 2020), modülasyon (Mohammed ve Abdullah, 2020), güvenli haberleşme (Savran, 2017) ve hidrojen üretimi (Yılmaz ve ark., 2019) gibi birçok çalışma alanında bu yongalar sıklıkla kullanılmaktadır. Ayrıca FPGA çipleri System C, VHDL, Handel-C ve Verilog gibi farklı dillerde kodlanabilmektedir. Şekil 3'te Xilinx Kintex-7 FPGA kartı gösterilmiştir.



Şekil 3. Xilinx Kintex-7 FPGA kartı

### 2.3 IQ-Math Sayı Standardı

IQ-Math sabit noktalı sayı standardını işaret biti (S), tam sayı kısmı (integer-I) ve kesirli kısım (fractional-Q) oluşturmaktadır. Kayan noktalı sayılardan farklı olarak bu sayı standardında tam sayı ve kesirli sayı kısımları tasarımcının ihtiyacı doğrultusunda ayarlanabilmektedir. Sabit noktalı sayı standardı Şekil 4’te gösterilmiştir. Bu şekildeki S işaret bitini temsil etmekte ve 0 değerini aldığı anda ilgili sayı pozitif, 1 değerinde ise negatif olmaktadır. İlgili sayının tam sayı kısmındaki bitleri hesaplamak için sayının tam kısmı ikilik sayı tabanına çevrilmektedir (Erick, 2007, Özkan ve ark., 2011).

İşaret Biti (S)	Tam Sayı Kısmı (I)	Kesirli Kısım (Q)
0 / 1	$I_n \dots I_3 I_2 I_1 I_0$	$Q_n \dots Q_3 Q_2 Q_1 Q_0$

Şekil 4. IQ-Math sabit noktalı sayı formatı gösterimi

## 3. BULGULAR VE TARTIŞMA

### 3.1 FPGA Tabanlı TF ve YSA Tasarımları

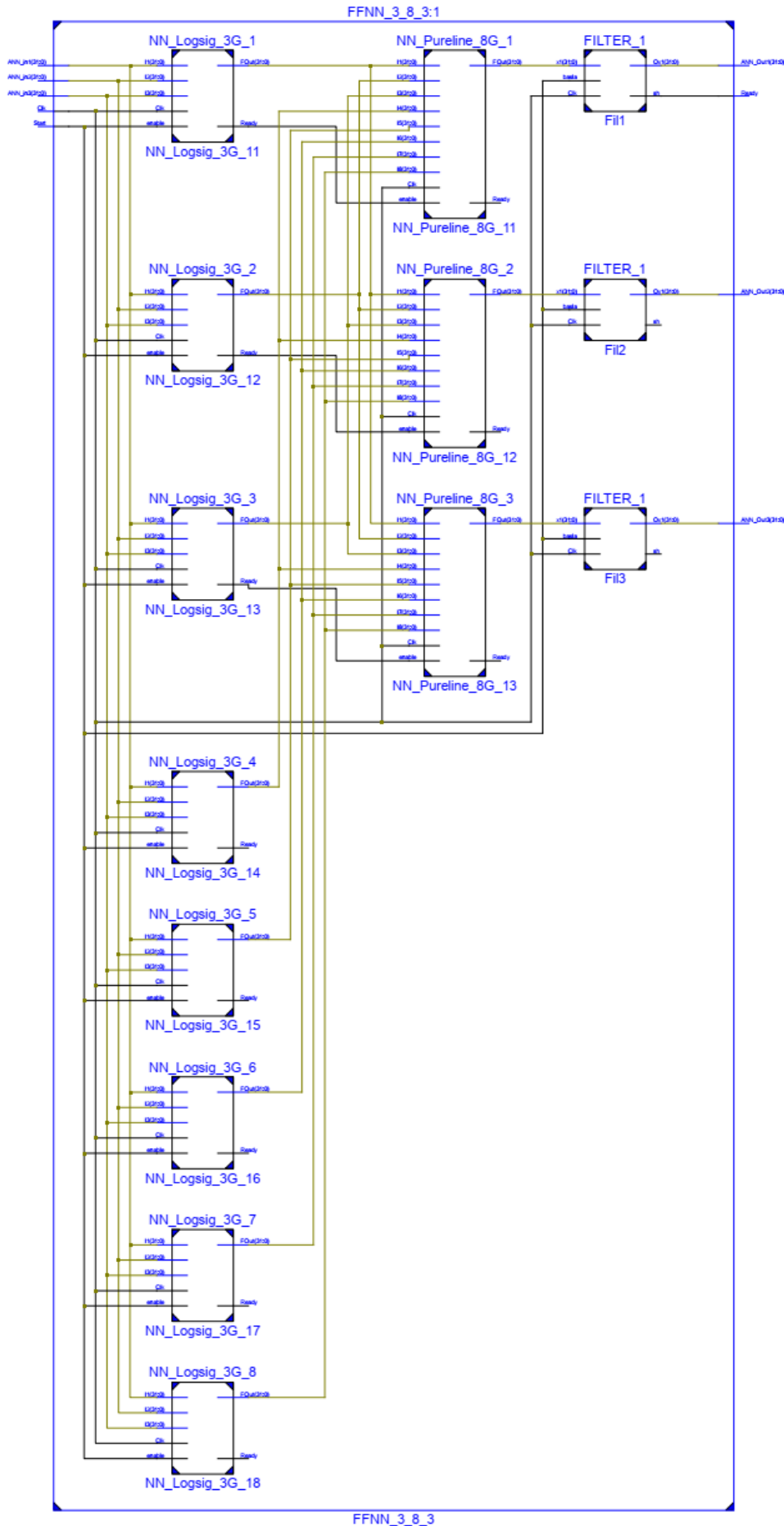
Sunulan bu çalışmada doğrusal olmayan LogSig ve TanSig TF 32-bit IQ-Math formatında VHDL dilinde FPGA tabanlı olarak tasarlanmıştır. Bu iki TF yapısındaki  $e^x$  üstel fonksiyonun FPGA tabanlı olarak gerçekleştirilmesinde CORDIC-LUT (COordinate ROTation DIgital Computer-LOOK-Up Table) ikili yaklaşımları birlikte kullanılmıştır. TF tasarımların X-ISE-DS ortamında her bir tasarıma farklı bir testbench dosyası oluşturularak simülasyonu yapılmıştır. Simülasyon sonuçları kullanarak MSE ve RMSE hata analizleri yapılmıştır. Bunun ardından tasarımlar Xilinx firmasına ait Kintex-7 FPGA çipi için sentezleme işlemi gerçekleştirilmiştir.

Sentez işleminin ardından Place-Route prosesi gerçekleştirilmiştir. Bu süreç yerleştirme ve yönlendirme işlemlerini kapsamaktadır. Yerleştirme işleminde tasarımın hangi konumdaki kaynaklara yerleştirilmesi ve bu kaynaklar arasındaki bağlantıların nasıl yapılması gerektiği belirlenmektedir. Bu işlemi takiben yönlendirme işleminde FPGA yonga yapısındaki hücrelerin kendi arasındaki ve Giriş/Çıkış blokları arasındaki bağlantılar tanımlanmaktadır. Bu proste kaynak kullanımı optimize edilmektedir. Diğer bir ifade ile tasarımın FPGA yapısında en dar alana yerleştirilmesi ve bu yerleşimin oluşturacağı toplam bağlantı yolunun en kısa seviyede olması hedeflenmektedir (Lortoğlu 2019). Place-Route prosesinin tamamlanması ile elde edilen FPGA kaynak kullanım oranları sunulmuştur. 32-bit IQ-Math-tabanlı LogSig ve TanSig TF blok şemaları sırası ile Şekil 5 ve 6’da verilmiştir. Bu şekillerde gözlemlenen IEEE-754-1985 kayan noktalı sayı (floating point number standard) ve IQ-Math sayı standardındaki tüm toplayıcı, çıkarıcı, çarpıcı, bölücü ve dönüştürücü gibi üniteler Xilinx Design Tools tasarım araçları tarafından geliştirilen IP CORE Generator kullanılarak otomatik olarak oluşturulmuştur. Şekil 5’te x giriş sinyali negatifleyici ünitesinde negatifleme işlemine tabi tutulup çarpıcı ünitesinde ilgili sayı ile çarpılmaktadır. Ardından dönüştürücü ünitesinde 32 bit değerindeki sinyal 23 bit değerine dönüştürülmektedir. Elde edilen bu sinyal, sayının tam ve kesirli sayı kısmını ifade eden sırasıyla t ve k kısımlarına ayrılmaktadır. Daha sonra t değerine gecikme ünitesinde 25 saat darbesi gecikme işlemi uygulanarak ROM (Read Only Memory) hafızaya iletilmektedir. Bu ünite ROM hafıza LUT işlevinde kullanılmıştır. ROM hafızaya  $e^{t.0.75}$  değerleri  $t=(-64\dots+63)$  tam sayı aralığında olarak önceden hesaplanmış ve kaydedilmiştir. Bu üniteden çıkan sinyal kayan noktalı sayı standardına sahip olduğundan dolayı dönüştürücü ünitesinde IQ-Math sabit noktalı sayı standardına dönüştürülmektedir. Diğer taraftan





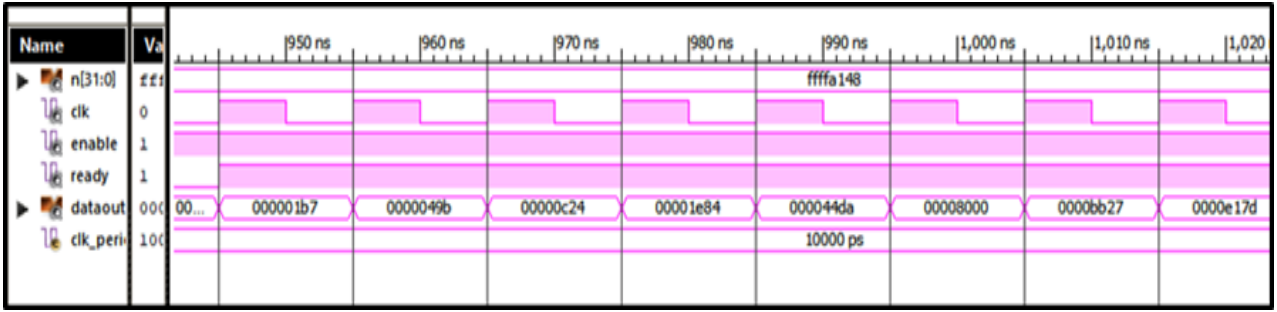




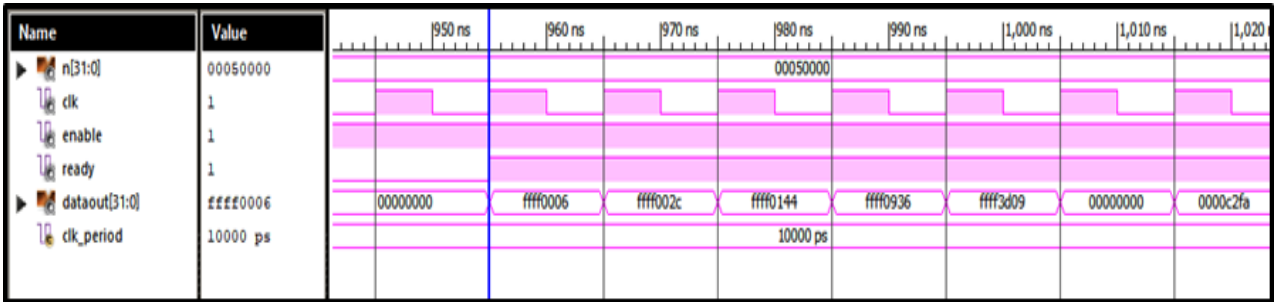
Şekil 7. FPGA-tabanlı YSA-LS tasarımının ikinci seviye blok şeması



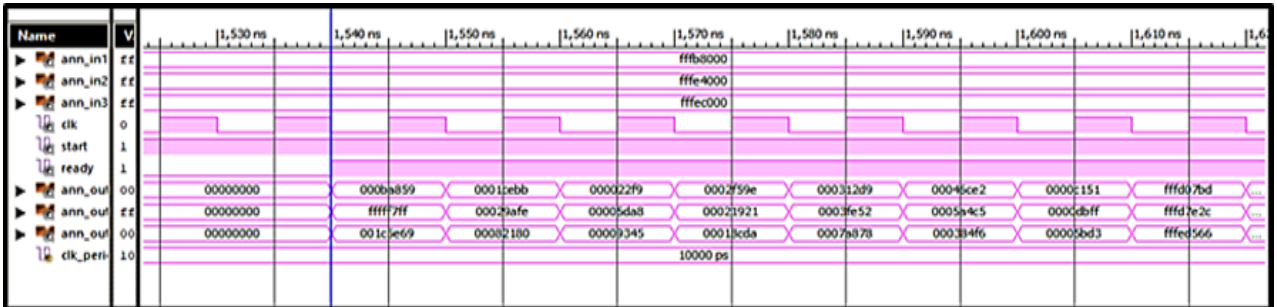
Tüm tasarımlar X-ISE-DS ortamında bir testbench dosyası oluşturulmuştur. Bu işlemin ardından tasarımlar test edilmiş ve simülasyon sonuçları gösterilmiştir (Şekil 9-12).



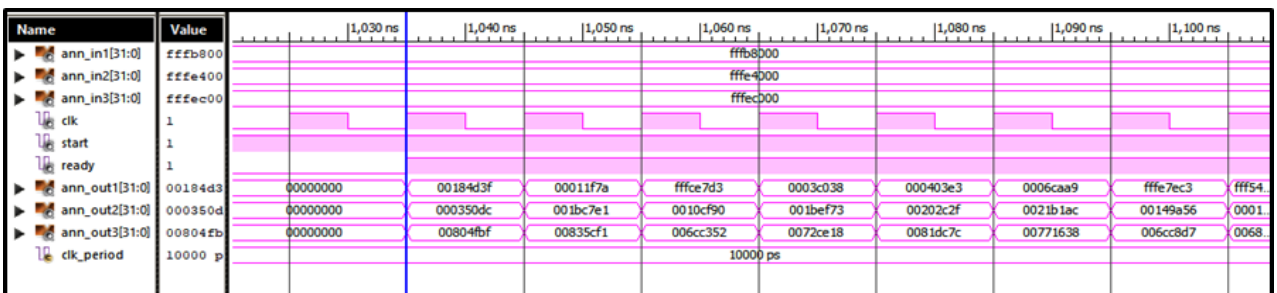
Şekil 9. FPGA-tabanlı LogSig fonksiyonunun X-ISE simülasyon sonuçları



Şekil 10. FPGA-tabanlı TanSig fonksiyonunun X-ISE simülasyon sonuçları



Şekil 11. FPGA-tabanlı YSA-LS tasarımının X-ISE simülasyon sonuçları



Şekil 12. FPGA-tabanlı YSA-TS tasarımının X-ISE simülasyon sonuçları

Ardından tüm tasarımların simülasyon sonuçları ile nümerik tabanlı sonuçlar karşılaştırılmıştır. Karşılaştırma işleminden elde edilen MSE ve RMSE hata analiz sonuçları aşağıda sunulmuştur (Çizelge 1). Tasarımların test edilebilmesi için negatif değerleri de kapsayacak biçimde 27 farklı değer kullanılarak MSE ve RMSE hata değerleri hesaplanmıştır.

**Çizelge 1.** TF ve YSA tasarımlarının hata analizleri

<b>Transfer Fonksiyonları-Yapay Sinir Ağları</b>	<b>MSE</b>	<b>RMSE</b>
<b>LogSig TF</b>	8.64E-11	9.30E-06
<b>TanSig TF</b>	2.31E-10	1.52E-05
<b>YSA-LS</b>	8.86E-06	2.98E-03
<b>YSA-TS</b>	7.92E-02	2.81E-01

Yapılan tüm TF ve YSA tasarımları test aşamasından sonra Xilinx firmasının tarafından geliştirilen XC7K70T FPGA (Kintex-7 kiti) için sentezleme işlemi gerçekleştirilmiştir. Bu işlemin ardından Place-Route prosesi gerçekleştirilmiştir. Bu işlemde elde edilen FPGA çip istatistikleri aşağıda sunulmuştur (Çizelge 2). Sunulan çalışmada öncelikle LogSig ve TanSig AF ve ardından bu iki AF kullanılarak LogSig-tabanlı YSA (YSA-LS) ile TanSig-tabanlı YSA (YSA-TS) olmak üzere 4 farklı tasarım gerçekleştirilmiştir. Aşağıda verilen Çizelge 2’de bulunan ilk 2 sütun LogSig ve TanSig AF tasarımlarına ve diğer sütunlar ise LogSig ve TanSig tabanlı YSA tasarımlarına ait IOB değerlerini ifade etmektedir.

**Çizelge 2.** TF ve YSA tasarımlarının FPGA çip istatistikleri

<b>FPGA Çip İstatistikleri</b>	<b>LogSig</b>	<b>TanSig</b>	<b>YSA-LS</b>	<b>YSA-TS</b>
<b>Mak. Çalışma Frekans (MHz)</b>	168.990	168.990	168.990	168.990
<b>Slice Registers Sayısı</b>	3696/ 82000 (% 4)	3729 / 82.000 (% 4)	31926/ 82000 (% 38)	31646 / 82000 (% 38)
<b>Slice LUTs Sayısı</b>	3073 / 41000 (% 7)	3100 / 41000 (% 7)	26878 / 41000 (% 65)	26658 / 41000 (% 65)
<b>IOBs Sayısı</b>	67 / 300 (% 22)	67 / 300 (% 22)	195 / 300 (% 65)	195 / 300 (% 65)
<b>BUFG/BUFGCTRLs Sayısı</b>	1 / 32 (% 3)	1 / 32 (% 3)	1 / 32 (% 3)	1 / 32 (% 3)
<b>DSP48E1s Sayısı</b>	7 / 240 (% 2)	7 / 240 (% 2)	188 / 240 (% 78)	195/ 240 (% 78)

Çizelge 3’te literatürdeki bir çalışmada yapılan 4 girişli YSA nöron tasarımları ile sunulan çalışma kapsamında tasarımları yapılan LogSig ve TanSig AF ile oluşturulan 4 girişli YSA nöronlarının FPGA çip kullanımları, kullanılan platform ile platformun nöron kapasitesi ve çalışma frekansı bakımından karşılaştırılması verilmiştir. Elde edilen sonuçlara göre sunulan çalışmada tasarlanan AF tasarımlarının FPGA kaynak tüketimi açısından daha düşük kaynak kullanmıştır. Ancak literatürde sunulan kayan noktalı sayı standardı tabanlı AF tasarımları ise maksimum çalışma frekansı bakımından daha avantajlı olduğu görülmektedir.

**Çizelge 3.** FPGA-tabanlı dört girişli LogSig ve TanSig AF-tabanlı YSA tasarımlarının çip istatistikleri

Çalışma	Kullanılan AF	Sayı standardı	Kullanılan FPGA	Slice Regs. Sayısı (%)	Slice LUTs sayısı (%)	Slices Utilization (%)	Çalışma Frekansı (MHz)
Koyuncu vd. (2017)	LogSig	32 Bit IEEE-754 Floating-point	Xilinx Virtex-6 XC6VLX75T	10	18	22	304.53
Sunulan Çalışma	LogSig	32 bit (16I-16Q) IQ-Math	Xilinx Kintex-7 XC7K70T	5	9	17	168.99
Koyuncu vd. (2017)	TanSig	32 Bit IEEE-754 Floating-point	Xilinx Virtex-6 XC6VLX75T	10	18	23	304.53
Sunulan Çalışma	TanSig	32 bit (16I-16Q) IQ-Math	Xilinx Kintex-7 XC7K70T	11	12	22	168.99

#### 4. SONUÇ

Sunulan bu çalışmada, YSA yapılarının FPGA çipleri üzerinde gerçekleşmesi için ihtiyaç duyulan kaynak tüketimini azaltmak amacı ile 32-bit IQ-Math sayı standardında doğrusal olmayan LogSig ve TanSig TF VHDL dili kullanılarak kodlanmıştır. Ardından FPGA çiplerinde çalışmak üzere IQ-Math sayı tabanlı örnek bir üç girişli-üç çıkışlı bir YSA (ileri beslemeli) yapısı tasarlanmıştır. Tasarımın gizli katmanında 8 adet nöron, gizli katmanda LogSig ile TanSig TF ve çıkış katmanında ise PureLin TF bulunmaktadır. Sunulan iki farklı YSA yapısının test edilebilmesi için testbench dosyası oluşturulmuş ve bu tasarımlar VHDL ile X-ISE-DS programı ile test edilmiştir. Test simülasyon sonuçlarına göre LogSig-tabanlı YSA tasarımından  $8.86E-06$  MSE ve TanSig-tabanlı YSA tasarımdan  $7.92E-02$  MSE sonuçları elde edilmiştir. Tasarımlar test için simüle edilerek MSE ve RMSE hata analizleri bakımından incelendiğinde LogSig TF ve YSA-LS tasarımlarının daha başarılı sonuçlar ürettiği gözlemlenmiştir. Son aşamada ise her bir tasarım (XC7K70T-3FBG676 çipini içeren Kintex-7 kiti) FPGA için sentezlenerek Place-Route prosesi gerçekleştirilmiştir. Bu işlemde elde edilen FPGA kaynak kullanımı oranları sunulmuştur. Sonuçlara göre her iki YSA tasarımının maksimum çalışma frekansı 168.990 MHz olarak elde edilmiştir. Gelecekteki çalışmalarda, derin öğrenme ve YSA uygulamalarında kullanılan diğer aktivasyon fonksiyonları FPGA çiplerinde çalışmak üzere IQ-Math tabanlı olarak gerçekleştirilebilir.

#### 5. TEŞEKKÜR

Bu çalışma 19.FEN. BİL.14 proje numarası ile Afyon Kocatepe Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi tarafından desteklenmiştir.

#### 6. ÇIKAR ÇATIŞMASI

Yazarlar, bilinen herhangi bir çıkar çatışması veya herhangi bir kurum/kuruluş ya da kişi ile ortak çıkar bulunmadığını onaylamaktadırlar.

## 7. YAZAR KATKISI

Yazarlar Mehmet Şamil AKÇAY, İsmail KOYUNCU, Murat TUNA ve Murat ALÇIN sunulan çalışmanın tasarım süreçlerinin belirlenmesi ve yönetimi, modellenmesi ve yorumlanması, makale taslağının oluşturulması, fikrinsel içeriğin eleştirel incelenmesi, son onay ve tam sorumluluk süreçlerine katkı sağlamışlardır.

## 8. KAYNAKLAR

- Abdullah H. T., Younis B. M., FPGA Based Bone Fracture Detector. IOP Conference Series: Materials Science and Engineering 745, 012052, 2019.
- Adetiba E., Ibikunle F., Daramola S., Olajide A., Implementation of Efficient Multilayer Perceptron ANN Neurons on Field Programmable Gate Array Chip. International Journal of Engineering and Technology IJET-IJENS 14, 151-159, 2014.
- Ahmed R., Sayed M. E., Gadsden S. A., Tjong J., Habibi S., Automotive Internal-Combustion-Engine Fault Detection and Classification Using Artificial Neural Network Techniques. IEEE Transactions on Vehicular Technology 64, 21-33, 2015.
- Akçay M. Ş., Koyuncu I., Alçın, M., Tuna M., IQ-Math Tabanlı RadBas Aktivasyon Fonksiyonunun FPGA Üzerinde Gerçeklenmesi, International Asian Congress on Contemporary Sciences-IV, Baku, Azerbaijan, June 26-28, 2020, pp: 599-607.
- Alçın M., Koyuncu I., Tuna M., Varan M., Pehlivan I., A novel high speed Artificial Neural Network-based chaotic True Random Number Generator on Field Programmable Gate Array. International Journal of Circuit Theory and Applications 47, 365-378, 2019.
- Alçın M., Pehlivan I., Koyuncu I., Hardware design and implementation of a novel ANN-based chaotic generator in FPGA. Optik 127(13), 5500-5505, 2016.
- Alçın M., Tuna M., Erdoğan P., Koyuncu İ., FPGA-based Dual Core TRNG Design Using Ring and Runge-Kutta-Butcher based on Chaotic Oscillator. Chaos Theory and Applications 3, 20-28, 2021.
- Bargsten V., de Gea Fernández J., Distributed computation and control of robot motion dynamics on FPGAs. International Journal of SN Applied Sciences, 2, 1239, 2020.
- Çavuşlu M. A., Karakuzu C., Şahin S., Parçacık Sürü Optimizasyonu Algoritması ile Yapay Sinir Ağı Eğitiminin FPGA Üzerinde Donanımsal Gerçeklenmesi. Politeknik Dergisi 13, 83-92, 2010.
- Du X. K., The New Elman ANN Application in Accuracy Improvement of Robot Navigation and Obstacle Avoidance Technology. Advanced Materials Research 383-390, 1447-1451, 2011.
- Erick L. O., Fixed-point representation & fractional math. Oberstar Consulting, revision, Madison, United States, 2007.
- Gupta S., Vyas A., Trivedi G., FPGA Implementation of Simplified Spiking Neural Networks, 27th IEEE International Conference on Electronics, Circuits and Systems, Glasgow, UK, November 23-25, 2020, pp: 1-4.
- Jiang W., Kong S. G., Block-Based Neural Networks for Personalized ECG Signal Classification, IEEE Transactions on Neural Networks 18, 1750-1761, 2007.
- Kaur M., Sivia J. S., ANN and FA Based Design of Hybrid Fractal Antenna for ISM Band Applications. Progress in Electromagnetics Research C 98, 127-140, 2020.

- Koyuncu I., Akçay M. Ş., Tuna M., Alçın M., Implementation of IQ-Math-based Linear Activation Functions on FPGA. 1st International Congress of Multidisciplinary Studies and Research, Turkey, June 19, 2019, pp: 114-124.
- Koyuncu I., Sahin I., Gloster C., Saritekin N K., A neuron library for rapid realization of artificial neural networks on FPGA: A case study of rössler chaotic system, Journal of Circuits, Systems, and Computers 26, 1750015, 2017.
- Koyuncu İ., Şeker H., Tuna M., Alçın M., Dormand-Prince tabanlı kaotik osilatör tasarımının FPGA üzerinde gerçekleşmesi. International Eurasian Conference on Science, Engineering and Technology, Ankara, Turkey, November 22-23, 2018, pp: 1059-1065.
- Lortoğlu M., FPGA tabanlı yapay sinir ağı kullanılarak buğday türlerinin sınıflandırılması, KTO Karatay Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi (Basılmış), 2019.
- Mello M. M., Ventura L., Method for estimating luminous transmittance using an RGB sensor and ANN. Optical Engineering 59, 124109, 2020.
- Mohammed R. K., Abdullah H. A., Implementation of digital and analog modulation systems using FPGA. Analog Modul Indonesian Journal of Electrical Engineering and Computer Science 18, 485-493, 2020.
- Özkan İ. A., Sarıtaş İ., Herdem S., Manyetik Filtreler için FPGA Tabanlı Bulanık Kontrolör Tasarımı. Selçuk Teknik Dergisi 10, 271-284, 2011.
- Paukštaitis V., Dosinas A., Pulsed Neural Networks for Image Processing. Elektronika Ir Elektrotechnika 95, 15-20, 2009.
- Sahin I., A 32-bit floating-point module design for 3D graphic transformations. Scientific Research and Essays 5, 3070-3081, 2010.
- Sahin I., Koyuncu I., Design and Implementation of Neural Networks Neurons with RadBas, LogSig, and TanSig Activation Functions on FPGA. Elektronika Ir Elektrotechnika 120, 51-54, 2012.
- Savran İ., Donanım Tanımlama Dili VHDL ve FPGA Uygulamaları. Papatya Yayıncılık Eğitim, İstanbul, 2017.
- Tuntas R., The Modeling and Hardware Implementation of Semiconductor Circuit Elements by Using ANN and FPGA. Acta Physica Polonica A, 128(2B), 78-81, 2015.
- Wang G., Liu K., Sun Z., Li Y., Attitude-Orbit Cooperative Control for Small-Scale Spacecraft with Chemical Propulsion: Adaptive Sliding Mode Control Based on Neural Network. Journal of Aerospace Engineering 33, 04020080, 2020.
- Yılmaz C., Koyuncu I., Alçın M., Tuna M., Artificial Neural Networks based thermodynamic and economic analysis of a hydrogen production system assisted by geothermal energy on Field Programmable Gate Array. International Journal of Hydrogen Energy 44, 17443-17459, 2019.