



## ZAMAN GECİKMELİ KESİR DERECELİ KAOTİK SİSTEMLERİN SENKRONİZASYONU VE FPGA UYGULAMASI

Semih Can DEĞİRMEN<sup>1</sup>, Kenan ALTUN<sup>2\*</sup>

<sup>1</sup>Sivas Cumhuriyet University, Institute of Science and Technology, Department of Defense Industry Technologies and Strategies, 58140, Sivas, Türkiye

<sup>2</sup>Sivas Cumhuriyet University, Sivas Vocational School of Technical Sciences, Department of Electronics and Automation, 58140, Sivas, Türkiye

**Özet:** Elektronik tabanlı sistemlerin kontrolü, geliştirilmesi ve birçok işletme hatasının tespiti için matematiksel olarak ifade edilebilmesi oldukça önemlidir. Matematiksel olarak ifade edilebilen sistemlerde, geliştirilebilmesinin yanında birçok problemin tespit edilmesini de kolaylaştırır. Özellikle haberleşme sistemleri ve bu sistemlerdeki taşıyıcı sinyallerin, haberleşme protokollerinin matematiksel modellenmeleri ve geliştirilmesi ile ilgili çalışmalar son dönemde artmaktadır. Özellikle karmaşık yapısı ile dikkat çeken kaotik tabanlı sistemlerin haberleşme sistemlerinde kullanılmasıyla bilgi sinyallerinin güvenilirliği artırılmıştır. Ancak kaotik sistemlerin tam dereceli olarak modellenmesi, özellikle kullanıldığı haberleşme sistemlerindeki hatalı bit sayılarını artırmakta ve zaman gecikmelerinden kaynaklı uzun senkronizasyon sürelerine neden olmaktadır. Bu nedenle kaotik sistemlerin kesir dereceli olarak modellenmesinin yanında verici-alıcı sistemlerin mümkün olan en kısa sürelerde senkronize olmaları için sistemler arasındaki zaman gecikmelerinin de dikkate alınması gereklidir. Bu çalışmada haberleşme sistemlerinde kullanılan kaotik bir sistemin kesir dereceli olarak elde edilmesi, daha sonra ise bir kontrolör ile zaman gecikmelerinden kaynaklı senkronizasyon gecikmelerinin azaltılması amaçlanmıştır. Yapılan çalışmada Charef yaklaşım metodu kullanılarak kesir dereceli kaotik sistem tasarımı yapılmış ve bulanık mantık tabanlı bir kontrolör ile zaman gecikme sürelerinden kaynaklı senkronizasyon süresi azaltılmıştır. Neticede, kesir dereceli olarak gerçek sistem davranışı elde edilen bir kaotik sistemin bir kontrolör ile senkronizasyon sürelerinin azaltılabildiği gösterilmektedir. Yapılan çalışma önce bilgisayar benzetimi ile daha sonra ise FPGA kullanılarak deneysel uygulaması gerçekleştirilmiş ve doğrulanmıştır.

**Anahtar kelimeler:** Kesir dereceli kaotik sistemler, Zaman gecikmeli sistemler, Charef metodu, FPGA


### Synchronization of Fractional Order Chaotic Systems with Time Delay and FPGA Implementation


**Abstract:** It is very important to be able to express it mathematically for the control and development of electronic-based systems and the detection of many operating errors. It makes it easier to detect many problems in systems that can be expressed mathematically, as well as to be developed. In particular, studies on communication systems and the mathematical modeling and development of carrier signals and communication protocols in these systems have been increasing recently. The reliability of information signals has been increased by using chaotic-based systems, which attract attention with their complex structure, in communication systems. However, full-degree modeling of chaotic systems increases the number of erroneous bits, especially in the communication systems in which it is used, and causes long synchronization times due to time delays. For this reason, in addition to modeling chaotic systems in fractional order, it is necessary to take into account the time delays between the systems in order to synchronize the transmitter-receiver systems in the shortest possible time. In this study, it is aimed to obtain a chaotic system used in communication systems in fractional order, and then to reduce synchronization delays due to time delays with a controller. In the study, a fractional order chaotic system was designed using the Charef approximation method and the synchronization time due to time delays was reduced with a fuzzy logic-based controller. As a result, it is shown that the synchronization times of a chaotic system, where real system behavior is obtained in fractional order, can be reduced with a controller. The study was first implemented and verified experimentally using computer simulation and then using FPGA.

**Keywords:** Fractional order chaotic systems, Time delay systems, Charef method, FPGA

\*Sorumlu yazar (Corresponding author): Sivas Cumhuriyet University, Sivas Vocational School of Technical Sciences, Department of Electronics and Automation, 58140, Sivas, Türkiye

E mail: kaltun@cumhuriyet.edu.tr (K. ALTUN)

Semih Can DEĞİRMEN  <https://orcid.org/0009-0009-8077-6960>

Kenan ALTUN  <https://orcid.org/0000-0001-7419-1901>

**Gönderi:** 19 Mayıs 2024

**Received:** May 19, 2024

**Kabul:** 01 Temmuz 2024

**Accepted:** July 01, 2024

**Yayınlanma:** 15 Temmuz 2024

**Published:** July 15, 2024

**Cite as:** Değirmen SC, Altun K. 2024. Synchronization of Fractional Order Chaotic Systems with Time Delay and FPGA Implementation. BSJ Eng Sci, 7(4): 672-682.

### 1. Giriş

Kaos sinyalleri, başlangıç değerlerine duyarlı, periyodik olmayan, geniş bant aralıklı, uzun sürelerde tahmin edilmesi zor rastgele sinyaller olarak bilinir (Ott ve ark., 1990). Kaotik davranış sergileyen bu sinyaller,

matematiksel olarak dinamik eşitlik takımları kullanılarak kaos teorisi olarak ifade edilir (Lorenz, 1963). Doğrusal olmayan bu teori ilk olarak 1960'larda Edward Lorenz'in araştırmalarında kullanılmıştır (Lorenz, 1963). Kaotik sinyallerin kısa zamanlarda



tahmin edilememesi, güvenli haberleşme sistemleri için taşıyıcı sinyal olarak önemli bir parametre haline gelmiştir. Kaos sinyalleri, kaotik iletişim sistemlerinde taşıyıcı sinyal olarak kullanılan temel yapıdır. Kaotik sinyallerdeki karmaşık yapı sinyalin taşıyıcı olarak kullanıldığı haberleşme sisteminin de karmaşıklığını, dolayısıyla da güvenilirliğini artırmaktadır. Kaos tabanlı osilatörler tarafından üretilen sinyaller, dağınık spektrumları nedeniyle bilgi sinyallerinin arka planda gizlenmesine olanak tanıyan, öngörülemeyen ve gürültülü sinyaller olarak bilinmektedir (Peitgen ve ark., 2004). Kaosa dayalı doğrusal olmayan dinamik eşitlikler deterministik olmasına rağmen sistem davranışını tahmin etmek zordur. Ayrıca güvenilir iletişim sistemlerinin önemli bir özelliği de parametrelerin başlangıç değeri ve duyarlılığıdır. Kaos temelli iletişim sistemleri, sürekli senkronizasyon gerektirmeyen ve anlık senkronizasyonla sağlanabilen iletişim yöntemlerine sahiptir (Cuomo ve ark., 1993; Kennedy ve Kolumban, 2000). Anlık senkronizasyonun sağlandığı haberleşme sistemlerinde taşıyıcı sinyalin sürekli senkronizasyonuna gerek yoktur. Bu durum, taşıyıcı olarak hem kaotik sinyalleri hem de periyodik sinyalleri kullanan haberleşme sistemlerinde aynıdır (Chua ve ark., 1987). Alıcı devrelerde taşıyıcı sinyaller elde edilmeden bilgi sinyaline ulaşılmasına olanak sağlar. Ancak bu durumda bilginin güvenilirliği kaotik sinyalin karmaşıklığına değil iletişim sisteminin yapısına bağlıdır. Bu nedenle veri güvenliğini arttırmak için anlık senkronizasyon yerine sürekli senkronizasyon gerektiren sistemlere ihtiyaç duyulmaktadır. Çünkü sürekli senkronizasyon gerektiren sistemlerde verici devredeki kaotik taşıyıcı sinyalin alıcı devrede yeniden elde edilmesi gerekir. Böylece bilginin güvenilirliği artırılmış olur.

Doğrusal olmayan sistemlerde dinamik sistemin kaosa girebilmesi ve kaotik davranmaya devam edebilmesi için durum eşitliklerinin toplam derecesinin minimum üç olması gerekir. Diğer taraftan sistem eşitliklerinde de en az bir doğrusal olmayan terime sahip olmalıdır (Peitgen ve ark., 2004). Ancak toplam sistem derecesinin 3'ten az olduğu bazı durumlarda da sistem kaotik davranış gösterebilir (Petras, 2011). Bu durum kaotik sistemlerin öngörülebilirliğini daha da zorlaştırmaktadır. Bu nedenle kaotik yapıların tam dereceli eşitlikler yerine kesir dereceli durum eşitliklerinde kaotik davranması iletişim sistemlerini daha güvenilir hale getirmektedir. Bu sayede kaotik sistemlerin karmaşık yapısı mevcut parametrelerle birlikte artar (Petras ve Bednarova, 2009). Diğer taraftan ise kesir dereceli modelleme ile kaotik eşitliklerin asıl sistem davranışının elde edilmesi sağlanmış olur. Kaotik eşitliklerin gerçek sistem davranışının elde edilmesi özellikle haberleşme sistemlerindeki alıcı verici devrelerdeki kaotik osilatörlerin daha kısa sürelerde senkronize olmasını sağlar. Haberleşme sistemlerinde en çok veri kaybı senkronizasyon sağlanana kadar geçen sürede olmaktadır. Bu nedenle kesir dereceli modelleme ile

gerçekleştirilen ve daha kısa sürelerde senkronize olan bu sistemde veri kaybı daha az olmaktadır. Günümüzde haberleşme sistemleri çoğunlukla kablosuz olarak gerçekleştirilmektedir. Kablolu haberleşme sistemlerinin kablosuz haberleşme sistemlerine göre daha az dış etkenlere maruz kaldığı düşünüldüğünde kablosuz haberleşme sistemlerinde önerilen sistemin daha faydalı olacağı düşünülmektedir (Qian ve ark., 2011). Dolayısıyla önerilen yöntem ile kablosuz haberleşme sistemlerinde senkronizasyon sürelerinin daha da azalacağı öngörülmektedir. Ancak önerilen sistemin uygulaması kablolu olarak gerçekleştirilmiştir.

Başta kontrol ve haberleşme sistemleri olmak üzere birçok sistemin modellenmesinde önemli diğer bir etken ise zaman gecikmesidir. Çok kanallı ve yüksek frekanslardaki haberleşme ağ yapılarındaki zaman gecikmelerinin matematiksel tanımlamalara dahil edilmemesi önemli bir problemdir. Günlük hayatın birçok alanındaki ağ yapısına göre, ağ dinamiklerinin davranışlarının araştırılması önemli bir problem olarak görünmektedir. Ağ yapısında, ağı bir düğümü olarak her dinamiğin diğer düğümlerle ilişkisi vardır. Birçok çalışmada ağı düğümleri arasındaki bağlantı sabit bir bağlantı olarak ele alınmıştır (Li ve ark., 2021; Zhao ve ark., 2021). Oysaki ağların düğümleri arasındaki bağlantılar değişken olabilir (Divya ve ark., 2021; Kuo ve Resmi, 2019). Haberleşme sistemlerindeki çalışmaların çoğu ağ bağlantılarında herhangi bir zaman gecikmesi olmayan sistemler üzerine yapılan çalışmalardır (Rajaei ve ark., 2018). Ancak gerçek ağ bağlantılarındaki zaman gecikmelerinin dikkate alınması gereklidir, çünkü veri iletimindeki zaman gecikmesi yaygın bir sorundur. Bu gecikmeler değişken olabileceğinden, ağların karmaşık yapısına göre, ağ yapısının tam olarak tanımlanması önemli bir problemdir. Karmaşık haberleşme ağlarının matematiksel tanımlaması için bazı yöntemler vardır (Wang ve ark., 2018; Zhang ve ark., 2016). Ancak bu çalışmalar zaman gecikmesi olmayan sistemler içindir. Haberleşme sistemlerinin her düğümünde bir değişken dinamiğinin dikkate alınması, ağların karmaşıklığını artırabilir. Bu durum değişkenlerinin gerçek sistem davranışı ise ancak kesir dereceli olarak elde edilebilmektedir (Behinfaraz ve ark., 2015). Kesir dereceli hesaplamaların en önemli uygulamalarından biri kaotik sistemlerdir (Silva-Jua' rez ve ark., 2021). Kaotik sistemler, birçok spesifik özelliği olan öngörülemeyen sistemlerdir (Behinfaraz ve Badamchizadeh, 2015). Bu özelliklere göre bu sistemler için birçok uygulama bulunmuştur (Behinfaraz ve ark., 2019). Kaotik dinamikler çok sayıda karmaşık ağda kullanılmıştır (Blakely ve ark., 2018; Lee, 2019; Er ve ark., 2019; Zhu ve ark., 2021). Yüksek karmaşıklık ve varyasyona sahip ağlarda senkronizasyonu sağlamak için bir çözüm bulmak zorlu bir problemdir.

Bu çalışmada; Sprott H kesir dereceli kaotik osilatörün zaman gecikmeli bir kontrolör ile senkronizasyon süresinin azaltılması amaçlanmıştır (Sprott, 1994). İlk olarak çalışmada kullanılan Sprott h osilatörü Charef

yaklaşım metodu kullanılarak kesir dereceli olarak modellenmiş ve elde edilen kesir dereceleri belirlenmiştir. Daha sonra tasarlanan kontrolör sürekli senkronize olacak haberleşme sistemi ile senkronize edilmiştir. Tasarımın benzetim sonuçlarını elde edilen verilerde 0,03 saniyede sistemin senkronize olduğu gözlemlenmiştir. Matlab Simulink ile tasarlanan sitem HDL coder kullanılarak VHDL diline çevrilmiş ve FPGA tümleşik yapısına yüklenmiştir. Daha sonra FPGA kullanarak gerçekleştirilen çalışmada sonuçlar dijital osiloskop kullanılarak senkronizasyonları gözlemlenmiştir. Çalışmanın materyal metot bölümünde kesir dereceli sistemlerde, zaman gecikmeli sitemlerden ve FPGA yapılarından bahsedilmiştir. Ayrıca bu bölümde Sprot H kaotik sisteminin kesir derecesi hesabı yapılarak simülasyon sonuçları verilmiştir. Bulgular ve tartışma bölümünde ise tasarlanan kontrolör ile kesir dereceli sistemin benzetim çalışması ve senkronizasyon zamanını tespiti gösterilmiştir. Benzetim yapılan çalışmanın FPGA deneysel uygulaması gerçekleştirilerek senkronizasyon sonuçları paylaşılmıştır. Son olarak çalışmanın sonuçları değerlendirilmiştir.

## 2. Materyal ve Yöntem

Kaos tabanlı haberleşme sistemlerinde sürekli senkronizasyon çalışmalarında ilk olarak Pecora-Carrol tarafından gerçekleştirilen farklı başlangıç şartları için aynı dinamik yapının farklı dinamikleri kullanılarak bir yöntem önerilmiştir (Pecora ve Carrol, 1990). Önerilen yöntemin basitliği ve kullanılabilirliği kaotik haberleşme sistemlerinde kullanımının önünü açmış ve birçok yöntemde benzer şekilde araştırılmasını sağlamıştır (Çavuşoğlu ve ark., 2014; Riaz ve Ali, 2008; Pecora ve Carrol, 1990; Bai ve Lonngren, 1997; Liao ve Lin, 1999; Uçar, 2003; Huang ve ark., 2004; Park, 2005; Wang ve Liu, 2007). Kaos tabanlı dinamik yapıların senkronizasyonu için birçok yöntem önerilmektedir. Bu yöntemler, uyarmalı kontrol (Liao ve Lin, 1999), aktif kontrol (Bai ve Lonngren, 1997; Liao ve Lin, 1999; Uçar ve ark., 2003), geri beslemeli kontrol (Huang ve ark., 2004; Park, 2005) ve pasif kontroldür (Wang ve Liu, 2007). Ancak iki sistemin senkronizasyonunun önündeki en büyük problem zaman gecikmesidir. Zaman gecikmeleri sadece elektronik devreler için değil birçok sistemde görülen bir durumdur. Örneğin, biyolojik, kimyasal, canlılar gibi örneklendirilebilir (Zhong, 2006). Yani bu sistemlerde etki tepki arası bir zaman gecikmesine bağlıdır. Örneğin bir kanser hücresi uzun süreli olumsuz etkilerin bir ürünüdür. Benzer durum elektronik tabanlı devre ve haberleşme sistemleri için de söz konusudur. Ancak sistemlerin modellenmesinde bu zaman gecikmelerin ihmal edilmesi sistemlerin gerçek davranışının kaybolmasına neden olmaktadır. Özellikle kaotik tabanlı haberleşme sistemlerinde zaman gecikmelerinin ihmalı alıcı devrelerde sistemin senkronizasyonunu zorlaştırmaktadır.

Bu bölümde çalışmada kullanılan yöntemlerden bahsedilmiştir. İlk olarak kesir dereceli kaotik

sistemlerin literatür, temel analiz ve hesaplama örnekleri verilmektedir. Ayrıca çalışmada kullanılan Sprot H kaotik osilatörünün kesir dereceli hesabı ve faz-uzay gösterimleri sunulmuştur. Diğer taraftan zaman gecikmeli sitemlerin çalışmadaki önemi ve literatür özeti verilerek çalışmanın önemi açıklanmıştır. Son olarak önerilen çalışmanın deneysel uygulamasının yapılacağı FPGA gömülü sistemler ve üstünlüklerinden bahsedilmektedir.

### 2.1. Kesir Dereceli Kaotik Sistemler

Kesir dereceli sistemler ilk olarak 17. Yüzyılın sonlarında Leibniz tarafından incelenmiş olmasına rağmen, Liouville ve Rieman tarafından 20. Yüzyılın başlarında tanıtılmıştır (Oldham ve Spanier, 1974; Nishimoto, 1984). Bu çalışmalar ile kesir dereceli eşitlikler kullanılarak birçok sistem tam olarak ifade edilebilmiş ve neticesinde sistemlerin davranışları ortaya konabilmiştir (Oustaloup ve ark., 2000). Kesir dereceli sistemlerin kullanılması, doğrusal olmayan sistemlerin, güç sistemlerinin ve kontrol sistemlerinin tasarımını büyük ölçüde etkilemiştir (Jin ve ark., 2011; Petras, 2011; Herzallah, 2014; Udita, 2014). Kesir dereceli olarak tasarlanmış sistemlerin, özellikle doğrusal olmayan sistemlerde, tamsayı dereceli sistemlerden daha iyi performans gösterdiği ortaya konmuştur (Ma ve ark., 2014). Doğada oluşan problemlerin kesir dereceli operatörlerle modellenmesi ve elde edilen modellerin tamsayı dereceli eşitliklerle karşılaştırılması yoluyla gerçek sistem davranışının elde edildiği bulunmuştur (Petras ve Bednarova, 2009). Kesir dereceli türevler ve integratörler, Grünwald-Letnikov, Liouville-Riemann ve Charef yaklaşım yöntemleri ile açıklanmıştır (Podlubny, 1999).

Mühendislik biliminde zaman domenindeki doğrusal sistemlerin frekans domeninde modellenmesinde Laplace dönüşüm metodu ve ters laplace metodu kullanılmaktadır. Bu çalışmada kesir dereceli kaotik sistemlerin yüksek frekanslarda sayısal tabanlı FPGA ile gerçekleştirilmesi amaçlanmıştır. FPGA tasarımında kesir dereceli operatörler öncelikle frekans domeninde modellendikten sonra ters laplace ile zaman HDL koduna dönüştürülerek gerçekleştirilebilir. Bu nedenle kesir dereceli sistemlerin frekans domeninde modellenmesine en uygun tanımlamalardan biri Charef yaklaşım metodudur (Charef ve ark., 1992). Charef yaklaşım metodu ile s-domeninde kesir dereceli sistemin sürekli zamanlı yaklaşımı elde edilmektedir.

Bu yöntem ile kesir dereceli integral hesabının tam dereceye yakınsamış Laplace transfer fonksiyonu elde edilir (eşitlik 1).

$$I^{\alpha}_{(s)} = \frac{1}{s^{\alpha}} \quad (1)$$

Eşitlikde;  $s=j\omega$  kompleks frekans,  $\alpha$  pozitif kesir derecesini temsil etmektedir (eşitlik 2).

$$I^{\alpha}_{(s)} = \frac{1}{s^{\alpha}} \approx \frac{1}{\left(1+\frac{s}{p_T}\right)^{\alpha}}, 0 < \alpha < 1 \quad (2)$$

Burada, yakınsatılmış transfer fonksiyonunun

hesaplanmasında;  $p_T$  köşe frekansı,  $p_0$  ilk kutup değeri,  $y$  dB olarak hata oranını belirtmektedir. Son kutup olan  $p_N$  değeri ise  $N$  tarafından belirlenmektedir.  $1/p_T$ : durulma zaman sabitini temsil etmektedir. Buna göre kesir dereceli transfer fonksiyonu (eşitlik 3) ile ifade edilmektedir.

$$I^\alpha(s) = \frac{1}{s^\alpha} \approx \frac{1}{\left(1 + \frac{s}{p_T}\right)^\alpha} \lim_{N \rightarrow \infty} \frac{\prod_{i=0}^{N-1} \left(1 + \frac{s}{z_i}\right)}{\prod_{i=0}^N \left(1 + \frac{s}{p_i}\right)} \quad (3)$$

Transfer fonksiyonunun kutup ve sıfırları eşitlik 4 ile ifade edilmektedir. Eşitlik 5 ile  $N-1$  sıfır ve kutup oranını ifade eden  $a$ ,  $N-1$  kutup ve sıfır oranını ifade eden  $b$  ve  $ab$  değerleri eşitlik 6 ile verilmektedir.

$$p_0 = p_T 10^{[y/20\alpha]}, z_0 = p_0 10^{[y/10(1-\alpha)]}, p_1 = z_0 10^{[y/10\alpha]}, z_1 = p_1 10^{[y/10(1-\alpha)]} \quad (4)$$

$$z_{N-1} = p_{N-1} 10^{[y/10(1-\alpha)]}, p_N = z_{N-1} 10^{[y/10\alpha]} \quad (5)$$

$$a = 10^{[y/10(1-\alpha)]} \quad b = 10^{[y/10\alpha]} \quad ab = 10^{[y/10\alpha(1-\alpha)]} \quad (6)$$

Elde edilen bu kısaltmalarla transfer fonksiyonu eşitlik 7 ile verilmiştir. Ayrıca transfer fonksiyonunun boyutunu gösteren  $N$  ifadesi ise eşitlik 8 ile verilmektedir.

$$I^\alpha(s) = \frac{1}{s^\alpha} \approx \frac{1}{\left(1 + \frac{s}{p_T}\right)^\alpha} \approx \frac{\prod_{i=0}^{N-1} \left(1 + \frac{s}{z_i}\right)}{\prod_{i=0}^N \left(1 + \frac{s}{p_i}\right)} = \frac{\prod_{i=0}^{N-1} \left(1 + \frac{s}{(ab)^i a p_0}\right)}{\prod_{i=0}^N \left(1 + \frac{s}{(ab)^i p_0}\right)} \quad (7)$$

$$N = \text{int} \left( \frac{\log\left(\frac{\omega_{max}(0)}{p_0}\right)}{\log(ab)} \right) \quad (8)$$

Charef yaklaşım metodu ile elde edilen  $s^\alpha$  değeri bu eşitliklerle belirli frekans aralıklarında belirli hata oranı ile yaklaşık olarak frekans domeninde elde edilebilmektedir.

## 2.2. Zaman Gecikmeli Kaotik Sistemler

Zamana bağlı gecikmeli sistem, giriş sinyali veya değişkeninin, sistem çıkışını aynı anda etkilemediği, ancak belirli bir zaman gecikmesiyle sisteme etki ettiği bir sistem türüdür. Fiziksel ve kimyasal yapıların matematiksel modelleri genellikle anlık durumlara dayanır, ancak zaman gecikmeli sistemlerde, geçmiş durumlar da dikkate alınır. Bu tür sistemlere zaman gecikmeli sistemler adı verilir. Zaman gecikmeli sistemlerin matematiksel modelleri, geçmiş zamana dayalı olduğundan sistem davranışını analiz etmek ve kontrol etmek daha karmaşıktır. Zaman gecikmesi genellikle  $e^{-\theta s}$  gibi bir üstel fonksiyon kullanılarak ifade edilir. Üstel fonksiyonun köklerinin sonsuz sayıda olması nedeniyle, zaman gecikmeli sistemler genellikle sonsuz boyutlu fonksiyonel diferansiyel eşitlikler sınıfına dahil edilirler (Michiels ve Niculescu, 2007). Gerçek dünyada zaman gecikmeleri oldukça yaygındır ve yapılan araştırmalar, zaman gecikmesinin küçük bir değişikliğinin kaotik sistemin dinamik davranışını önemli ölçüde etkileyebileceğini göstermektedir. Kaotik tabanlı sistemler için önerilen ve uçar modeli olarak bilinen sistem ile zaman gecikmeleri eşitlik 9 ile ifade edilmektedir.

$$\frac{dx}{dt} = \delta x(t - \tau) - \varepsilon [x(t - \tau)]^3, (t \geq t_0) \quad (9)$$

Eşitlik 9 ile verilen tanımlamada,  $\delta$  ve  $\varepsilon$  pozitif parametreleri,  $t_0$  başlangıç aralığını ifade eder.  $\tau$  (0'dan farklı), sistemin başlangıcı ile etkisi arasındaki zaman gecikmesini tanımlamaktadır. Literatürde kesir dereceli kaotik tabanlı bir haberleşme sisteminde bilgi sinyalinin elde edilmesi incelenmiştir. Bu sistem şu şekilde formüle edilmiştir (eşitlik 10).

$$\begin{cases} D^\alpha x = (25\beta + 10)(y - x) \\ D^\alpha y = (28 - 35\beta)x - xz + (29\beta - 1)y \\ D^\alpha z = xy - \frac{(8+\beta)z}{3} \end{cases} \quad (10)$$

Eşitlik 10 ile verilen örneklendirilen kaotik sistem eşitlik 11'de verilen zaman gecikmeli yapıya dönüştürülmüştür.

$$\begin{cases} D^\alpha x = (25\beta + 10)(y - x(t - \tau)) \\ D^\alpha y = (28 - 35\beta)x - xz + (29\beta - 1)y(t - \tau) \\ D^\alpha z = xy - \frac{(8+\beta)z(t - \tau)}{3} \end{cases} \quad (11)$$

Çok kanallı haberleşme sistemlerinde ise ağların tümünde senkronizasyonu sağlamak oldukça zordur. Bu nedenle karmaşıklığı azaltacak bir çözüm yöntemi tercih edilmelidir. Bulanık mantık ile kesir dereceli kaotik sistemlerde karmaşıklığı azaltmak için birçok uygulama gerçekleştirilmiştir (Jafari ve ark., 2019; Ma ve Ma, 2019). Bu yöntemlerden Takagi-Sugeno (T-S) kaotik dinamik yapılarda çok kullanışlı bir modelleme aracı olduğu gösterilmiştir (Mohammadzadeh ve ark., 2016; Mohammadzadeh ve Ghaemi, 2018). Ayrıca, kesir dereceli sistemlerin T-S bulanık model gösterimi hakkında birkaç çalışma yapılmıştır (Wang ve ark., 2018). Ancak zaman gecikmeli kesir dereceli sistemlerin matematiksel modellemesi ile ilgili bir çalışma bulunmamaktadır.

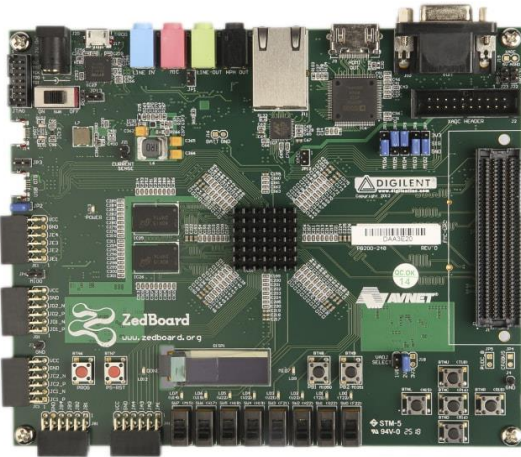
Sonuç olarak, ağların eşzamanlı olarak tanımlanması ve senkronizasyonu için yapılan çalışmalar sabit ağ yapıları ile sınırlıdır ve bu çalışmaların çoğu (Wang ve ark., 2018) tam sayı dereceli dinamikler ile gerçekleştirilmiştir. Bu çalışma ile zaman gecikmeli kesir dereceli bir kaotik sistem bir haberleşme sisteminde gerçek zaman sistem davranışı ile elde edilmesi ve tümleşik devre yapıları ile gerçekleştirilmesi amaçlanmıştır.

## 2.3. FPGA Tabanlı Devre Uygulamaları

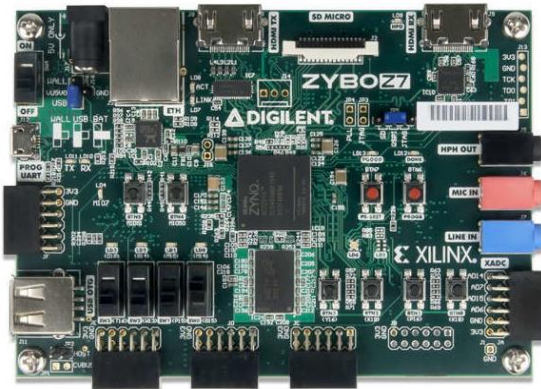
Çalışmada önerilen sistemlerin ayrık devre elemanları kullanılarak gerçekleştirilmesi zor olduğundan programlanabilir tümleşik yapılar kullanılır. Kaos tabanlı elektronik devrelerin ayrık devre elemanlarıyla gerçekleştirilmesindeki zorluklar ASIC, DSP, FPGA gibi sayısal tabanlı tümleşik devre yapıları ile aşılmıştır. ASIC yapı ile kaotik üreteçlerinin yüksek performanslı devre yapıları olduğu görülmektedir. Fakat ASIC tabanlı kaos üreteçlerinin ilk kurulum maliyetinin yüksek ve sahada değiştirilemeyen tasarım yöntemi en önemli dezavantajları olduğunu göstermektedir. O yüzden üretim sırasında yapılacak bir hata çok ciddi mali kayıplara yol açabilir. DSP tasarım metodunun ise düşük frekanslı oldukları gözlemlenmektedir. Bundan dolayı tasarımı yapılan sistemlerin yavaş çalışmasına sebep olur. Ve bir diğer sayısal tabanlı devre yapısı olan FPGA

tabanlı tasarımda bu dezavantajlar bulunmamaktadır. FPGA kullanılarak elde edilen yapıların değiştirilebilir olmaları, aynı anda işlem yapabilmeleri ve çok yüksek anahtarlama frekansları sayısal sistemler için çok önemlidir (Gürses ve ark., 2006). FPGA yapılar, özellikle teknolojinin hızlıca geliştiği son zamanlarda medikal, savunma, radar, işaret işleme, uzay, otomotiv endüstrisi gibi geniş bir alanda kullanılmaktadır (Özer ve Zorlu, 2012). Fourier dönüşümü ve konvolüsyon gibi yüksek performans gerektiren matematiksel döngülerde FPGA yapılar kullanılmaktadır. FPGA tümleşik yapıları alanda programlanabilen sayısal tabanlı donanımlardır. FPGA yapılar programlanabilen entegre blokları olarak da bilinir. En önemli özellikleri aynı anda işlem yapmalarıdır. Böylelikle aynı anda birçok görevi veya hesaplamayı yapabilirler (Koyuncu, 2014). Bilinen entegre devre yapıları paralel işlem yapamazlar. En çok bilinen FPGA yapıları Xilinx ve Altera firmalarının ürettiği kartlardır. Xilinx firması tarafından üretilen geliştirme kartları ZedBoard Zynq-7000 Şekil 1'de ve Zybo Z7-20 Şekil 2'de gösterilmektedir.

Bu çalışma, kesir dereceli kaotik sistemlerin zaman gecikmeli sistemlerde senkronizasyon süresini kısaltmak için bir kontrolör tasarımı ve güvenilir haberleşme sistemlerindeki FPGA uygulamalarını içermektedir. Yüksek çalışma frekansları ve paralel işlem yapma kabiliyetleri nedeniyle FPGA yapılar kesir dereceli sistem tasarımında ön plana çıkmaktadır.



Şekil 1. Xilinx ZedBoard Zynq-7000 geliştirme kartı.

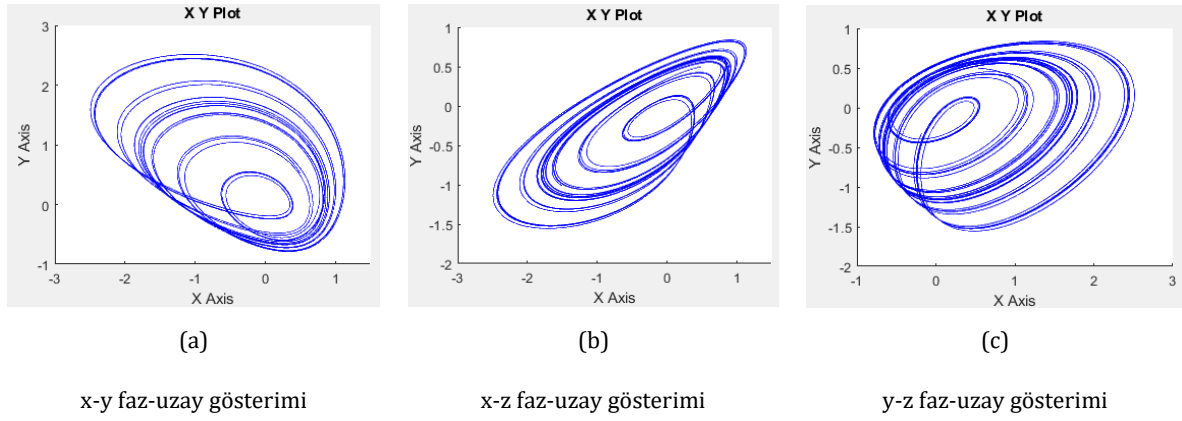


Şekil 2. Xilinx Zybo Z7-20 geliştirme kartı.

### 3. Bulgular ve Tartışma

Günümüzde birçok problemin araştırılması, çözümü ve kontrolü için matematiksel modellenmesi oldukça önemlidir. Matematiksel modellemelerde sistemin gerçek davranışının tam olarak belirlenememesi ve yakınsayan sonuçların elde edilmesi özellikle sürekli tekrarlanan sistemlerde önemli hata mekanizmalarının ortaya çıkmasına neden olmaktadır. Bu durumda sistemin kontrol edilebilirliği zorlaşır ve sistem kararsız bir duruma gidebilir. Kararlılık birçok sistem ve uygulamalarda önemli bir problem olarak araştırma konusu olmuştur. Sistemin kararlılığını etkileyen en önemli parametrelerden biri zaman gecikmesidir. Diğer taraftan problemlerin gerçek sistem davranışlarının belirlenmesi de kontrol sistemleri için oldukça önemlidir. Elektrik, pinomatik ve hidrolik ağlar, kimyasal prosesler, uzun haberleşme hatları vb. gibi sistemlerde gecikmeyle çok sık karşılaşılmaktadır. Gecikmeler birçok fiziksel ve mühendislik sisteminin doğasında vardır. Gecikmeler özellikle haberleşme sistemlerde olumsuz etkilerini ideal olarak temsil etmek için kullanılır. Bu sistemler sadece diferansiyel eşitliklerle tanımlanamaz. Özellikle kontrol sistemlerinde gerçek sistem davranışının modellenememesi sistemin kontrol edilebilirliğini zorlaştırmaktadır. Benzer durumlar kararsız sistemlerin durumunu koruması içinde geçerlidir. Bilindiği gibi dışarıdan kararsız gibi görünen ancak kendi içerisinde bir düzen bulandıran yapılar vardır. Düzensiz ve kararsız gibi görünen bu sistemlerin matematiksel modellenmesini mümkün kılan doğrusal olmayan sistemler vardır. Doğrusal olmayan dinamik eşitlikler ile matematiksel olarak tanımlanabilen bu eşitlikler kaotik sistemlerin modellenmesinde de kullanılmaktadır. Kaotik sistemler meteorolojiden, uzay bilimine, sağlıktan, kontrol sistemlerine ve güvenilir haberleşme gibi birçok uygulama alanı vardır.

Kesirli dereceli sistemlerde, kaotik sistemi modellemek için kesirli dereceli bir türev alıcı kullanılır. Bu çalışmada Simulink kullanılarak benzetimi, FPGA kullanılarak ise deneysel çalışması kesir dereceli olarak, frekans domeninde ifade edilmiştir. Bunun için Charef yaklaşımı kullanılır. Öncelikle kaotik sistemin frekans alanındaki Sprott\_h kesirli transfer fonksiyonu Simulink'te ve ardından FPGA'da uygulanmıştır. Sprott H sistemine ait durum eşitlikleri aşağıda verilmiştir (Sprott, 1994). Uygulamada Sprott H kaotik üreticinin kesir derecesi  $q_1 = q_2 = q_3 = 0,92$  için analiz yapılmış ve elde edilen benzetim sonuçları aşağıda Şekil 3'de verilmektedir.



Şekil 3. Sprott H kesir dereceli kaotik sistemin faz uzay gösterimi.

Eşitlik 12 ve 13'de  $x, y, z$  durum değişkenlerini (state controls), ifade etmektedir. Sistemin başlangıç şartları  $x(0)=0.05, y(0)=0.05, z(0)=0.05$  şeklindedir.

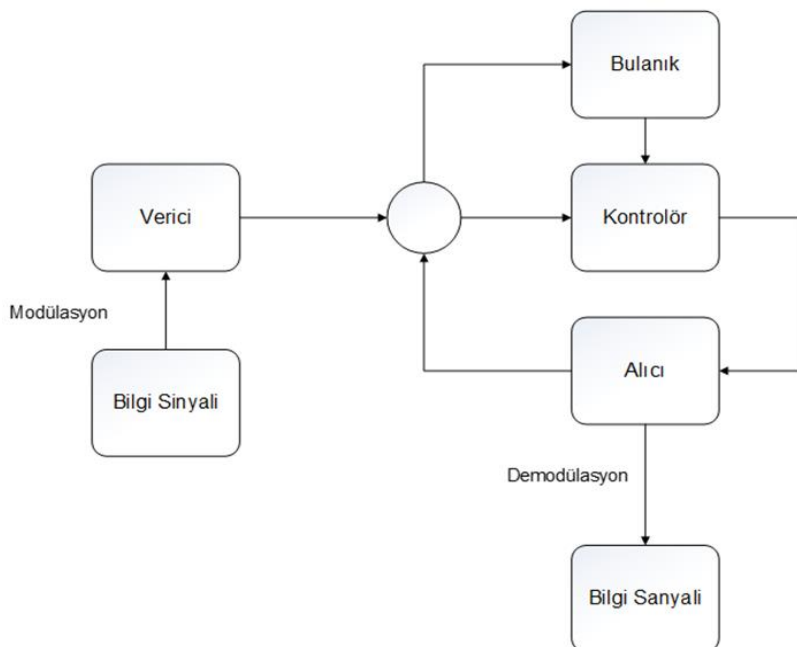
$$\begin{aligned} \frac{dx}{dt} &= -y + z^2 \\ \frac{dy}{dt} &= x + 0,5y \\ \frac{dz}{dt} &= x - z \end{aligned} \quad (12)$$

$$H(s) = \frac{num(s)}{den(s)} = \frac{2,271s^2+490,24s+630,95}{s^3+361s^2+776s+10} \quad (13)$$

Doğrusal olmayan dinamik eşitlikler ve zamanla değişen gecikmelerle hızlı anahtarlama topolojisine sahip kesir dereceli ağların tanımlanması ve senkronizasyonu için bir yöntem tasarlamak gerekli görünmektedir. Bu nedenle kesir dereceli ağın tanımlanması için yine kesir dereceli zaman gecikmeli doğrusal olmayan dinamik yapıların tanımlanması gerekmektedir. Ayrıca, kesir dereceli zaman gecikmeli ağların senkronizasyonu için bulanık modellere dayalı fonksiyonların tanımlanması gerekmektedir.

Güvenli haberleşme sistemi için önerilen kontrolörün blok şeması Şekil 4'de gösterilmiştir. Bu şekilde görüldüğü gibi iki kaotik sisteme ihtiyaç vardır. Bilgi sinyalleri vericide modüle edilir ve alıcıda algılanır. Alıcı tarafına senkronizasyon ve parametre tahmin hatalarını sıfıra yakınsayan bir kontrolör eklenmiştir. Bu kontrolör bulanık bir yöntem kullanarak gerçekleştirilmektedir. Kontrolörün amacı senkronizasyonun en kısa sürede tüm düğüm noktaları için gerçekleştirilmesidir.

Çalışmada dinamik ağ yapısı, haberleşme sisteminde sürekli senkronizasyon ile gerçekleştirilmiştir. Bunun için master tarafında zaman gecikmeli-kesir dereceli tanımlanan kaotik taşıyıcı n düğüm noktası için bir matris formuna dönüştürülmüştür. Master tarafında n dinamik yapısı için elde edilen matrisin köşegen matrisi ile Slave yapıda T-S bulanık kontrolcü ile elde edilen matrisin köşegenleri sürekli olarak bir hata fonksiyonu üretirek karşılaştırma yapılmıştır. Kontrolcü geri besleme ile hata fonksiyonunu sıfıra indirerek sürekli senkronizasyon sağlanmıştır.



Şekil 4. Önerilen modelin blok diyagramı.

Eşitlik 14 ve eşitlik 15'te iki sistemi sırasıyla verici ve alıcı olarak tanımlanmaktadır. Verici tarafındaki parametre modülasyonu şu şekilde tanımlanır.

$$\hat{p}_i = p_i(t) + m_i(t) \quad (14)$$

Alıcı tarafındaki tanımlama ise,

$$\hat{p}'_i = p'_i(t) + m'_i(t) \quad (15)$$

Senkronizasyon hatası şu şekilde tanımlanır (eşitlik 16):

$$\begin{cases} e_1 = x' - x \\ e_2 = y' - y \\ e_3 = z' - z \end{cases} \quad (16)$$

Ve parametrelerde bilgi sinyalinin hatası (eşitlik 17 ve 18),

$$e_{p_i} = \hat{p}_i - \hat{p}'_i \quad (17)$$

$$e_{m_i} = m'_i(t) - m_i(t) \quad (18)$$

Sistemde asıl amaç, senkronizasyon ve güvenli haberleşme sağlamak için uygun kontrolör tasarlamaktır. Kontrolör, zaman geçirerek aşağıdaki durumlarda eş zamanlı olarak sıfıra yakınsama sağlamaktadır.

$$1 - \|x(t) - x'(t)\|$$

$$2 - \|\hat{p}(t) - \hat{p}'(t)\|$$

$$3 - \|m(t) - m'(t)\|$$

Yukarıda modellenen sistem matematiksel olarak iki düğüm noktası için aşağıdaki gibi ifade edilebilir. Buna göre master devredeki zaman gecikmeli-kesir dereceli sistem için elde edilen eşitlik aşağıda verilmiştir (eşitlik 19).

$$\frac{d^\alpha x_i(t)}{dt^\alpha} = f(x_i(t)) + Ax_i(t - \tau) + \sum_{j=1}^N \sigma_{ij} x_j(t) + \sum_{j=1}^N \omega_{ij} x_j(t - \tau) \quad (19)$$

Eşitlikde;  $\sigma_{ij}$  köşegen matris elemanlarını,  $\omega_{ij}$  zaman gecikmeli bölümlerin köşegen matrisinin elemanlarını ifade etmektedir. Slave devre için ise aşağıdaki eşitlik 20 kullanılmıştır.

$$\frac{d^\alpha y_i(t)}{dt^\alpha} = f(y_i(t)) + Ay_i(t - \tau) + \sum_{j=1}^N \sigma'_{ij} y_j(t) + \sum_{j=1}^N \omega'_{ij} y_j(t - \tau) + u_i \quad (20)$$

Bu iki sistem arasındaki hata fonksiyonu ise (eşitlik 21);

$$\frac{d^\alpha e_i(t)}{dt^\alpha} = \sum_{j=1}^N \bar{\sigma}_{ij} y_j(t) + \sum_{j=1}^N \bar{\omega}_{ij} y_j(t - \tau) + u_i \quad (21)$$

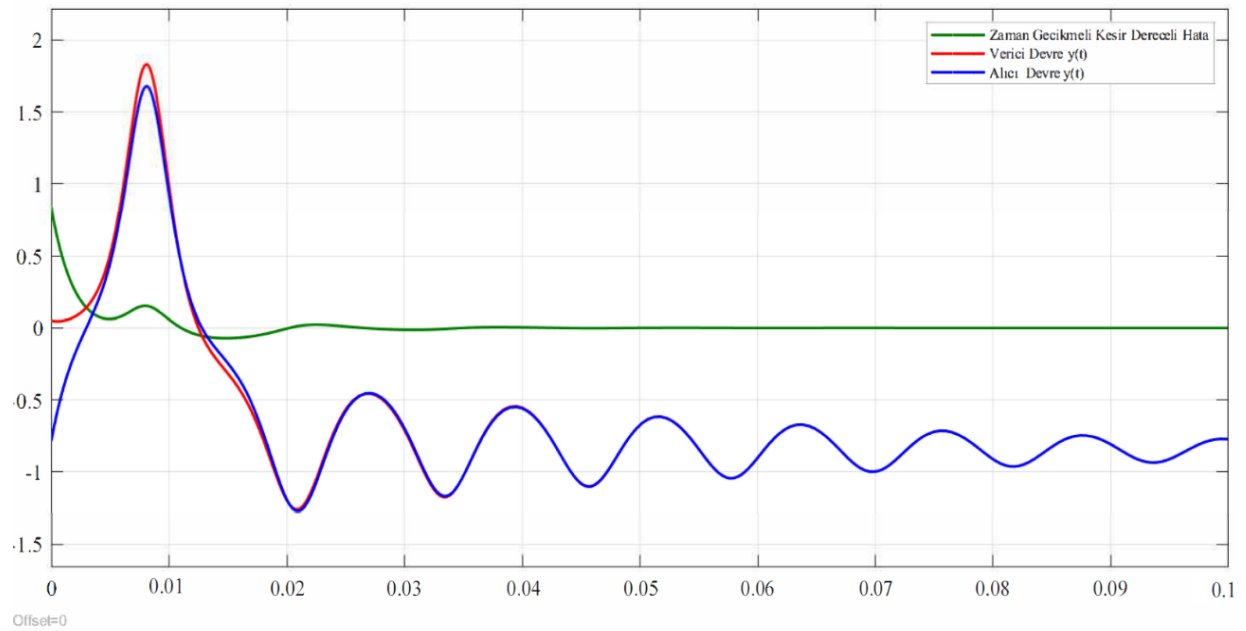
olarak ifade edilir. Master-Slave devrelerde köşegen matris elemanlarının hata fonksiyonu  $\bar{\sigma}_{ij} = \sigma'_{ij} - \sigma_{ij}$  ve zaman gecikmeli sistemin hata fonksiyonu  $\bar{\omega}_{ij} = \omega'_{ij} - \omega_{ij}$  olarak gösterilir. Senkronizasyon anında hata fonksiyonlarının sıfır olması gerekmektedir.

Buradan eşitlik (12) ile verilen kesir dereceli hesaplanmış Sprot H taşıyıcı osilatörü düzenli bir karmaşık ağın yapısı olarak eşitlik (22) gibi tanımlanmıştır:

$$\begin{cases} D_t^{q_1} x_i(t) = -a y_i(t) - e z_i^2(t), \\ D_t^{q_2} y_i(t) = b x_i(t) - k y_i(t) + c \sum_{j=1}^N \mu_{ij} y_j, \\ D_t^{q_3} z_i(t) = -d z_i(t) + m x_i(t), \end{cases} \quad (22)$$

$i = 1, 2, 3, 4, \dots, 9$  için  $q_1 = q_2 = q_3 = 0.91$ 'dir ve  $a=1, e=-1, b=1, k=-0.5, d=1, m=1$ .

Şekil 5 ile  $j = 1, 2, 3, \dots, 9$  için  $x_j(t)$  durum değişkenlerinin zaman gecikmesini gösterir ve burada senkronizasyon sağlanmış olur.



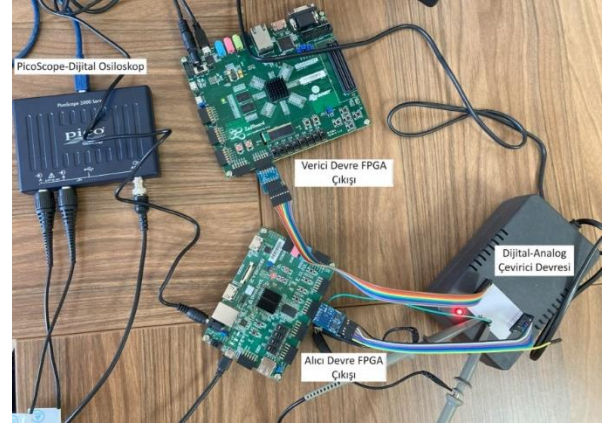
Şekil 5. Zaman gecikmeli kesir dereceli modelin benzetimi. Kırmızı renkli sinyal verici, mavi sinyal alıcı sinyali sembolize etmektedir. Yeşil sinyal ise alıcı verici sinyallerin hata miktarını göstermektedir.

Benzetimi yapılan çalışmanın sonuçları incelendiğinde 0.05 saniyenin altında sistem senkronize olmuştur. Bu sonuç ile daha az bilgi sinyalinin hata sinyaline dönüşmesi sağlanmıştır. Yapılan çalışmadaki sonuç senkronizasyon sürelerinin kısaltılmasıyla mümkün olmaktadır. Genel olarak kaos tabanlı güvenli haberleşme sistemlerinin amacı alıcı devreye iletilecek sinyalin gizlenmesidir. Yaygın olarak kullanılan yöntemlerde, iletilen bilgi sinyali bir kaotik durum değişkeni ile gizlenmektedir. Bu gizlenen sinyal daha sonra, farklı gürültü seviyeleri ve gürültü çeşitliliğinden alıcıya iletilir. Gerek simülasyonda gerekse de FPGA uygulamalarında rastgele üretilen Gaussian gürültü eklenerek senkronizasyon sağlanmıştır. Alıcı devre modülü sinyali aldığı anda, iletilen sinyalin yeniden elde edilebilmesi için öncelikle taşıyıcı sinyalin tekrarlanması gerekmektedir. Ancak taşıyıcı sinyalin yeniden elde edilmesi gerek doğrusal olmayan dinamik eşitliklerin yapısından gerekse de zaman gecikmelerinden dolayı oldukça zordur. Bir haberleşme sisteminde gürültünün dikkate alınmasıyla bilgi sinyalinin iletilmesi birçok parametre dahil edilmiş olur. Tüm bu analizleri kesir dereceli kaotik sistemler kullanarak yapmak, önerilen haberleşme sistemini diğer türlere göre daha güvenli ve gerçek sistem davranışının elde edilmesine olanak sağlamaktadır.

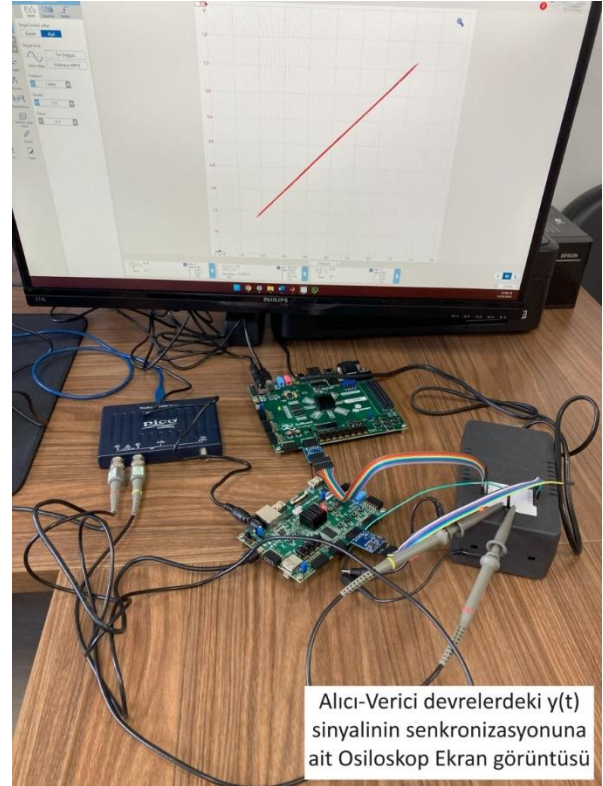
Benzetimi yapılan çalışmanın deneysel uygulamasında FPGA yapıları kullanılmıştır. Tasarlanan çalışmada gerek kontrolörün gerekse de kesir dereceli sistemin ayrık devre elemanları ile gerçekleştirilmesi oldukça zordur. Ayrıca kaos tabanlı haberleşme sistemi ve kaotik osilatörün kesir dereceli elde edilmesi eklendiğinde tüm bu işlemler için yüksek frekanslı ve paralel işlem yapabilen bir tüm devre ihtiyacı doğmaktadır. Tüm bu nedenlerden dolayı FPGA geliştirme kartı kullanılarak çalışmanın uygulama devresi ve analizleri gerçekleştirilmiştir.

Kontrolör ve diğer tüm tasarımlarda Matlab Simulink Xilinx matematiksel bloklar kullanılmıştır. Yukarıda verilen matematiksel eşitlikler kesir dereceli kaotik yapıların FPGA uygulamalarında kullanıldığı gibi verici devrede blok yapılar co-simülasyon kullanılarak FPGA aktarımı sağlanmıştır. Ayrıca Simulink HDL-Coder toolbox kullanılarak alıcı devre için ise VHDL kod dönüşümü ile kod aktarımı sağlanmıştır. Böylelikle alıcı devre FPGA içerisine gömülerek bilgisayardan ve Matlab'dan bağımsız çalıştırılması sağlanmıştır. Şekil 6 ile uygulama devre şeması verilen deneysel çalışmada iki adet Xilinx geliştirme kartı kullanılmıştır. Ayrıca burada alıcı devre çıkışı ve verici devre çıkışındaki sinyallerin karşılaştırılması analog olarak elde edilmiştir. FPGA kart çıkışındaki alıcı-verici datalarının 8 bitlik dijital verisi DAC kullanılarak analog sinyale çevrilmiştir. Daha sonra elde edilen iki analog sinyal Şekil 7 ve Şekil 8'de gösterildiği gibi PicoScope kullanılarak gözlemlenmiştir. Çalışmada önerilen zaman gecikmeli kesir dereceli kaotik tabanlı sistemin matematiksel modellemesinde ilk olarak kaotik taşıyıcı sinyalin kesir dereceli analizi Charef

yaklaşım metodu ile yapılmıştır. Devamında alıcı devrede zaman gecikmeli olarak kesir dereceli kaotik taşıyıcı sinyalin elde edilmesinde her bir düğüm noktası için oluşturulan ağ matrisin köşegenlerinin hata fonksiyonu geri beslemesi ile sağlanarak dahil edilmiştir. Çalışma kapsamındaki amaç doğrultusunda önerilen sistem matematiksel olarak modellenerek benzetim ve FPGA uygulaması gerçekleştirilmiştir.

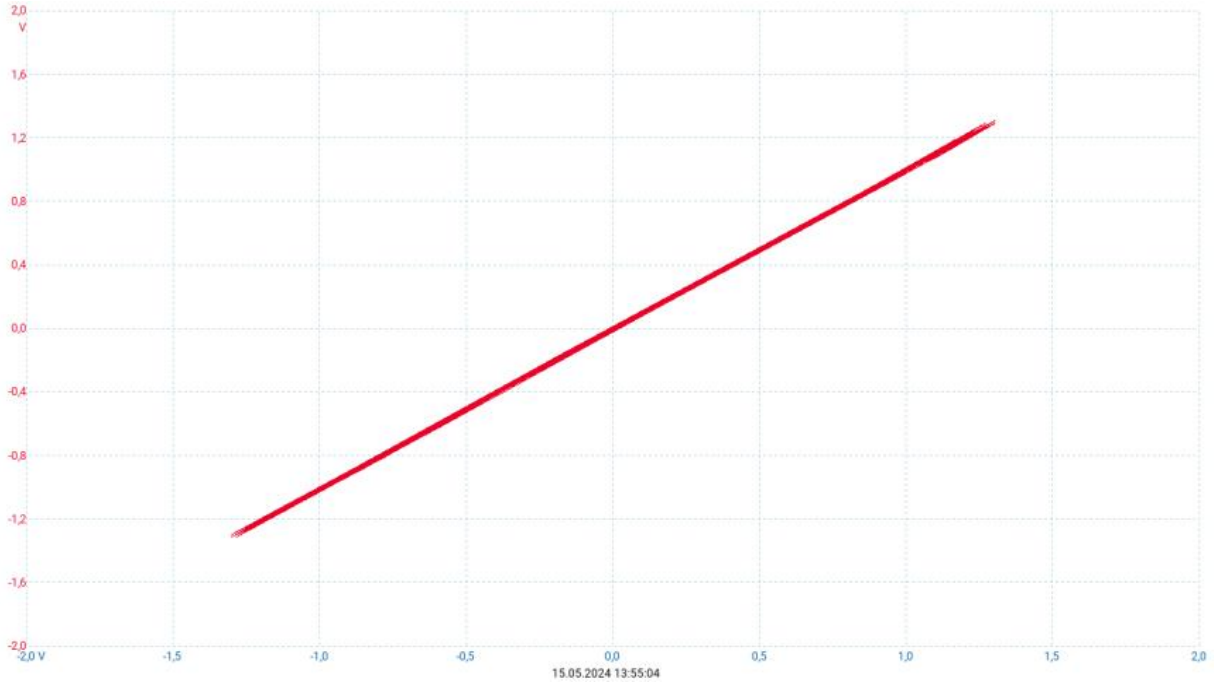


Şekil 6. FPGA ve DAC kullanılarak gerçekleştirilen uygulamanın deneysel bağlantıları.



Şekil 7. FPGA kart çıkışındaki alıcı-verici sinyallerin senkronizasyonu ve deneysel bağlantıları.





Şekil 8. FPGA çıkışındaki alıcı-verici sinyallerin senkronizasyonu.

#### 4. Sonuç

Bu çalışmada, kesir dereceli kaotik sistemlerde zaman gecikmeli kaotik sistemlerin senkronizasyon süresini kısaltmak için bir kontrolör tasarımı gerçekleştirilmiş ve neticesinde haberleşme sistemlerinde kısa sürelerde senkronizasyon sağlanmıştır. Alıcı devrelerde tasarlanan kontrolör zaman gecikme parametrelerini de dahil ederek hızlı bir senkronizasyon sağlanmıştır. Böylece senkronizasyon olana kadar gerçekleşen hatalı bit sayıları azaltılmıştır. Buna ek olarak çalışma yüksek frekanslarda ve paralel çalışma kabiliyeti olan FPGA ile deneysel uygulaması gerçekleştirilmiş ve benzetim çalışmaları doğrulanmıştır. Çalışma neticesinde elde edilen bulgular ile sadece haberleşme sistemlerinde değil; kontrol, kararlılık problemleri ve optimizasyon çalışmaları içinde faydalı olacaktır. Sürekli tekrarlanan ve yüksek frekanslarda çalışan sistemlerde önemli kayıp ve kararsızlığa neden olan zaman gecikmelerinin neden olduğu problemlerin tespit ve azaltılmasında uygulanabilecektir. Özellikle savunma sanayi odaklı birçok projede kısa sürelerde senkronizasyonun hedef bulma, hedef kilitleme gibi uygulamaların geliştirilmesi için de bir alt yapı oluşturacağı düşünülmektedir.

#### Katkı Oranı Beyanı

Yazar(lar)ın katkı yüzdesi aşağıda verilmiştir. Tüm yazarlar makaleyi incelemiş ve onaylamıştır.

	S.C.D.	K.A.
K	30	70
T	50	50
Y	30	70
VTI	60	40
VAY	60	40
KT	50	50
YZ	50	50
KI	50	50
GR	50	50
PY	50	50
FA	30	70

K= kavram, T= tasarım, Y= yönetim, VTI= veri toplama ve/veya işleme, VAY= veri analizi ve/veya yorumlama, KT= kaynak tarama, YZ= Yazım, KI= kritik inceleme, GR= gönderim ve revizyon, PY= proje yönetimi, FA= fon alımı.

#### Çalışma Beyanı

Yazarlar bu çalışmada hiçbir çıkar ilişkisi olmadığını beyan etmektedirler.

#### Etik Onay Beyanı

Bu çalışmada hayvanlar ve insanlar üzerinde herhangi bir çalışma yapılmadığı için etik kurul onayı alınmamıştır.

#### Destek ve Teşekkür Beyanı

Bu çalışma, Türkiye Bilimsel ve Teknolojik Araştırma Kurumu (TÜBİTAK) tarafından 123E274 Numaralı proje ile desteklenmiştir. Projeye verdiği destekten ötürü TÜBİTAK'a teşekkürlerimizi sunarız.

**Kaynaklar**

- Bai EW, Lonngren KE. 1997. Synchronization of two Lorenz systems using active control. *Chaos Solutions Fractals*, 8: 51-58.
- Behinfaraz R, Badamchizadeh MA, Ghiasi AR. 2015. An approach to achieve modified projective synchronization between different types of fractional-order chaotic systems with timevarying delays. *Chaos Solitons Fractals*, 1(78): 95- 106.
- Behinfaraz R, Badamchizadeh MA. 2015. New approach to synchronization of two different fractional-order chaotic systems. In: 2015 The International Symposium on Artificial Intelligence and Signal Processing (AISP), 3-5 March, Mashhad, Iran, pp: 149-153.
- Behinfaraz R, Ghaemi S, Khanmohammadi S. 2019. Risk assessment in control of fractional-order coronary artery system in the presence of external disturbance with different proposed controllers. *Appl Soft Comput*, 1(77): 290- 299.
- Blakely J, Milosavljevic M, Corron N. 2018. Analytic solution for a complex network of chaotic oscillators. *Entropy*, 20(6): 468.
- Çavuşoğlu Ü, Uyaroğlu Y, Pehlivan İ., 2014. Sürekli zamanlı otonom kaotik devre tasarımı ve sinyal gizleme uygulaması. *J Fac Eng Archit Gazi Univ*, 29:79-87.
- Charef A, Sun HH, Tsao YY, Onaral B. 1992. Fractal system as represented by singularity function. *IEEE Trans Automat Contr*, 37(9): 1465-1470.
- Chua LO, Desoer CA, Kuh ES. 1987. *Linear and nonlinear circuits*. McGraw-Hill College, New York, USA, pp: 839.
- Cuomo KM, Oppenheim AV, Strogatz SH. 1993. Synchronization of Lorenz-based chaotic circuits with applications to communications. *IEEE Trans Circuits Syst II*, 40(10): 626-633.
- Divya H, Sakthivel R, Liu Y. 2021. Delay-dependent synchronization of TS fuzzy Markovian jump complex dynamical networks. *Fuzzy Sets Syst*, 30(416): 108- 124.
- Er MJ, Deng C, Su SF, Wang N. 2019. Fuzzy synchronization control of complex dynamical networks under network attacks and actuator faults. *Int J Fuzzy Syst*, 21(7): 2043- 2053.
- Gürses S, Akkaş N, Platin BE. 2006. Ters dönmüş bir sarkacın doğrusal olmayan konum denetiminden en büyük lyapunov üstelinin poincare kesitinden elde edilmesi. *J Ist K Univ Sci Eng*, 4(4): 121-137.
- Herzallah MA. 2014. Notes on some fractional calculus operators and their properties. *J Fract Calc Appl*, 5(19): 1-10.
- Huang L, Feng R, Wang M. 2004. Synchronization of chaotic systems via nonlinear control. *Phys Lett A*, 320:271-275.
- Jafari AA, Mohammadi SM, Nasiriyeh MH. 2019 Adaptive type-2 fuzzy backstepping control of uncertain fractional-order nonlinear systems with unknown dead-zone. *Appl Math Model*, 1(69): 506- 532.
- Jin Y, Chen YQ, Xue D. 2011. Time-constant robust analysis of a fractional order [proportional derivative] controller. *IET Control Theory Appl*, 5(1): 164-172.
- Kennedy MP, Kolumbán G. 2000. Digital communications using chaos. *Signal Proces*, 80(7): 1307-1320.
- Koyuncu İ. 2014. Kriptolojik Uygulamalar İçin FPGA Tabanlı Yeni Kaotik Osilatörlerin ve Gerçek Rasgele Sayı Üreteçlerinin Tasarımı ve Gerçeklenmesi. Doktora Tezi, Sakarya Üniversitesi, Sakarya, Tüekiyw, ss: 145.
- Kuo YL, Resmi IE. 2019. Model predictive control based on a Takagi- Sugeno fuzzy model for nonlinear systems. *Int J Fuzzy Syst*. 21(2): 556- 570.
- Lee RS. 2019. Chaotic interval type-2 fuzzy neuro-oscillatory network (CIT2-FNON) for Worldwide 129 financial products prediction. *Int J Fuzzy Syst*, 21(7): 2223- 2244.
- Li L, Liu X, Tang M, Zhang S, Zhang XM. 2021 Asymptotical synchronization analysis of fractional-order complex neural networks with non-delayed and delayed couplings. *Neurocomputing*, 20(445): 180- 193.
- Liao TL, Lin SH. 1999. Adaptive control and synchronization of Lorenz systems. *J Franklin Inst*, 336:925-937.
- Lorenz EN. 1963. Deterministic nonperiodic flow. *J Atmos Sci*, 20(2): 130-141.
- Ma S, Zheng J, Li Y. 2014. Chaos control and synchronization of a new fractional order chaotic system. *Int J Comput Sci*, 11(10): 3469-3479.
- Ma Z, Ma H. 2019. Adaptive fuzzy backstepping dynamic surface control of strict-feedback fractional-order uncertain nonlinear systems. *IEEE Trans Fuzzy Syst*, 28(1): 122- 133.
- Michiels W, Niculescu SI. 2007. *Stability and stabilization of time-delay systems: an eigenvalue-based approach*. Society for Industrial and Applied Mathematics, Gif-sur-Yvette, France, pp: 400.
- Mohammadzadeh A, Ghaemi S, Kaynak O, Khanmohammadi S. 2016. Observer-based method for synchronization of uncertain fractional order chaotic systems by the use of a general type-2 fuzzy system. *Appl Soft Comput*, 1(49): 544- 560.
- Mohammadzadeh A, Ghaemi S. 2018. Robust synchronization of uncertain fractional-order chaotic systems with time-varying delay. *Nonlinear Dyn*, 93(4): 1809- 1821.
- Nishimoto K. 1984. *Fractional calculus*. Decartess Press, Koriyama, Japan, pp: 96.
- Oldham KB, Spanier J. 1974. *The fractional calculus*. Academic Press, New York, USA, pp: 142.
- Ott E, Grebogi C, Yorke JA. 1990. Controlling chaos. *Phys Rev Lett*, 64(11): 1196.
- Oustaloup A, Levron F, Mathieu B, Nanot FM. 2000. Frequency-Band Complex Noninteger Differentiator: Characterization and Synthesis, *IEEE Trans Circuits Syst I Fundam Theory Appl*, 47(1): 25-39.
- Özer Ş, Zorlu H. 2012. Doğrusal olmayan par sistemler kullanılarak kaotik zaman serisi kestirimi. *J Fac Eng Archit Gazi Univ*, 27(2): 323-331.
- Park JH. 2005. Chaos synchronization of a chaotic system via nonlinear control. *Chaos Soliton Fractals*, 25:579-584.
- Pecora LM, Carrol TL. 1990. Synchronization in Chaotic Systems. *Phys Rev Lett*, 64(8): 821.
- Peitgen HO, Jürgens H, Saupe D, Feigenbaum MJ. 2004. *Chaos and Fractals: New Frontiers of Science*. Springer Science & Business Media, New York, USA, pp: 560-604.
- Petras I, Bednarova D. 2009. *Fractional-Order Chaotic Systems*. In: *Fractional-Order Nonlinear Systems*. Nonlinear Physical Science. Springer, Berlin, Heidelberg, pp: 103-184.
- Petras I. 2011. *Fractional-order nonlinear systems: Modeling, analysis and simulation*, Springer, New York, USA, pp: 205.
- Podlubny I. 1999. *Fractional differential equations*. *Math Sci Eng*, 198: 41-119.
- Qian Y, Hu W, Lin X, Wang B. 2011. Fractional order proportional integral controller for active queue management of wireless network, *Proceedings of the 30th Chinese Control Conference*, 22-24 July, Yantai, China, pp: 4406-4410.
- Rajaei R, Bagheri A, Ramezani A, Cornelius SP, Gao J. 2018. Designing pinning network controllability for interdependent dynamical networks. In: 2018 Annual American Control Conference (ACC), June 27-29, Milwaukee, WI, USA, pp: 3478-3483.
- Riaz A, Ali M. 2008. Chaotic communications, their applications and advantages over traditional methods of commination. In *Communication Systems, Networks and Digital Signal Processing*, 6th International Symposium on IEEE, 22-25 April, Graz, Austria, pp: 21-24.

- Silva-Jua' rez A, Tlelo-Cuautle E, de la Fraga LG, Li R. 2021. Optimization of the Kaplan- Yorke dimension in fractional-order chaotic oscillators by metaheuristics. *Appl Math Comput*, 1(394): 125831.
- Sprott JC. 1994. Some simple chaotic flows. *Phys Rev E*, 50(2): R647.
- Uçar A, Lonngren KE, Bai EW. 2003. Synchronization of chaotic behavior in nonlinear Bloch equation. *Phys Lett A*, 314:96-101.
- Uçar A. 2003. On the chaotic behavior of a prototype delayed dynamical system. *Chaos Soliton Fractals*, 16:187-194.
- Udita NK. 2014. A new approach to generalized fractional derivatives. *B Math Anal App*, 6(4): 1-15.
- Wang F, Liu C. 2007. Synchronization of unified chaotic system based on passive control. *Physica D*, 225(1): 55- 60.
- Wang L, Zhang J, Sun W. 2018. Adaptive outer synchronization and topology identification between two complex dynamical networks with time-varying delay and disturbance. *IMA J Math Control Inf*, 36(3): 949- 961.
- Zhang H, Wang XY, Lin XH 2016. Topology identification and module-phase synchronization of neural network with time delay. *IEEE Trans Syst Man Cybern Syst*, 47(6): 885- 892.
- Zhao Y, Li X, Rao R. 2021. Synchronization of nonidentical complex dynamical networks with unknown disturbances via observer-based sliding mode control. *Neurocomputing*, 24(454): 441- 447.
- Zhong QC. 2006. Robust control of time-delay systems. Springer Science & Business Media, Liverpool, UK, pp: 216.
- Zhu J, Gong Z, Sun Y, Dou Z. 2021. Chaotic neural network model for SMISs reliability prediction based on interdependent network SMISs reliability prediction by chaotic neural network. *Qual Reliab Eng Int*, 37(2): 717- 742.