



A comparative performance evaluation for hybrid parallel adders in terms of delay, area, power, and energy

İsa Avcı^{1*}, Cevat Özarpa², Muhammed Ali Aydın³

¹Department of Computer Engineering, Faculty of Engineering, Karabuk University, Karabuk, 78050, Türkiye

²Department of Mechanical Engineering, Faculty of Engineering, Karabuk University, Karabuk, 78050, Türkiye

³Department of Computer Engineering, Faculty of Engineering, Istanbul University, Cerrahpasa, İstanbul, 34320, Türkiye

Highlights:

- Architectures of parallel adders
- Architectures of parallel hybrid adders
- Delay, area, power, and energy comparison in hybrid parallel adders

Keywords:

- Hybrid parallel adders
- Performance
- Energy
- Area
- Power
- Delay

Article Info:

Research Article

Received: 16.08.2020

Accepted: 19.12.2022

DOI:

10.17341/gazimmfd.781170

Correspondence:

Author: İsa Avcı

e-mail:

isaavci@karabuk.edu.tr

phone: +90 533 425 6111

Graphical/Tabular Abstract

The comparative results given show the results obtained by the researchers conducting experiments in Table A. In this study, 8, 16, 32, and 64-bit sizes of hybrid parallel adders were investigated. According to the hybrid approaches of these parallel adders, the experimental results of the hybrid parallel adders in terms of different area, delay, power, and energy are brought together and comparative analyzes are given.

Table A. Comparative performance evaluation for hybrid parallel adders

Length (Bit)	Area (µm ²)	Delay (ns)	Power (mW)	Energy (Norm.)	Length (Bit)	Area (µm ²)	Delay (ns)	Power (mW)	Energy (Norm.)
	1409	0.99	0.03	x		x	1.81	x	0.17
	x	1.71	x	0.87		x	0.94	x	0.834
	x	0.91	x	0.84		2007	3.33	0.04	x
	979	1.81	0.02	x		1665	54.01	79.25	x
32-Bit	809	32.65	79.81	x	64-Bit	7296	0.20	9.58	x
	791.2	0.19	x	x		1501.3	0.20	x	x
	778.3	0.19	x	x		1501.3	0.20	x	x
	1147.4	x	0.40	x		2446.46	0.87	0.014	x
	x	19.45	x	x		209	0.67	0.004	x
	620	0.74	0.01	x	8-Bit	167	16.63	86.92	x
	x	0.99	x	x		x	12.05	0,005	x
16-Bit	466	1.05	0.009	x		x	1.85	x	0.849
	381	21.59	81.38	x	128-Bit	x	1.02	x	0.845
	x	17.65	x	x		5187.17	1.00	0.029	x

Purpose:

The purpose of this study is that parallel adders the experimental results of hybrid parallel adders in terms of different delay, area, power, and energy are brought together and their comparative analyzes are given.

Theory and Methods:

According to the research on these parallel adders, the experimental results of hybrid parallel adders in terms of different delay, area, power, and energy are brought together and their comparative analyzes are given in Table 1.

Results:

According to the comparative results obtained, hybrid parallel adder circuits with less delay, area, power, and energy consumption can be designed. By looking at these results, it will be possible to make hybrid model selections by considering the data in terms of collectors of the processors to be designed for the areas to be studied.

Conclusion:

This research paper presents various classes of parallel adders and hybrid parallel adders in academic studies. In this study, hybrid parallel collector performance criteria for the delay, area, energy, and power consumption of the proposed models were investigated comparatively. In addition, the performance results of the hybrid parallel adder tools investigated in this study regarding certain criteria are shared.



Gecikme, alan, güç ve enerji açısından hibrit paralel toplayıcılar için karşılaştırmalı bir performans değerlendirmesi

İsa Avcı^{1*}, Cevat Özarpa², Muhammed Ali Aydın³

¹Karabük Üniversitesi, Mühendislik Fakültesi, Bilgisayar Mühendisliği Bölümü, 78050, Karabük, Türkiye

²Karabük Üniversitesi, Mühendislik Fakültesi, Makine Mühendisliği Bölümü, 78050, Karabük, Türkiye

³İstanbul Üniversitesi-Cerrahpaşa, Mühendislik Fakültesi, Bilgisayar Mühendisliği Bölümü, 34320, İstanbul, Türkiye

Ö N E Ç İ K A N L A R

- Paralel toplayıcıların mimarileri
- Hibrit paralel toplayıcıların mimarileri
- Hibrit paralel toplayıcılarda güç, enerji, gecikme ve alan karşılaştırması

Makale Bilgileri

Araştırma Makalesi

Geliş: 16.08.2020

Kabul: 19.12.2022

DOI:

10.17341/gazimmfd.781170

Anahtar Kelimeler:

Hibrit paralel toplayıcılar,
performans,
enerji,
alan,
güç ve gecikme

ÖZ

Gelişen teknoloji çağında modern elektronik sistemlerde daha hızlı uygulamalar daha az enerji tüketimi, alan, güç ve gecikme taleplerini artırmaktadır. Bu araştırma çalışması, paralel toplayıcıların çeşitli sınıflarını ve yapılmış akademik çalışmalardaki hibrit paralel toplayıcıları sunmaktadır. Bu çalışmada önerilen modellerin gecikme, alan, enerji ve güç tüketimi için hibrit paralel toplayıcı performans kriterleri karşılaştırmalı olarak araştırılmıştır. Ayrıca, bu çalışmada araştırılmış olan hibrit paralel toplama araçlarının belirli kriterlere ilişkin performans sonuçları paylaşılmıştır. Elde edilen karşılaştırmalı sonuçlara göre daha az gecikme, alan, güç ve enerji tüketimine sahip hibrit paralel toplayıcı devreleri tasarlanabilecektir. Bu sonuçlara bakılarak çalışma yapılacak alanlar için dizayn yapılacak işlemcilerin toplayıcılar açısından veriler göz önüne alınarak hibrit model seçimleri yapılabilmesi mümkün hale gelecektir. Tablo 1'de verilen karşılaştırmalı sonuçlar araştırmacılar tarafından deneyler yapılarak elde edilmiş sonuçları göstermektedir. Hibrit paralel toplayıcılar üzerine yapılan bu araştırmada genel olarak tüm uzunluklardaki bitler ele alınmaya çalışılmıştır. Bu paralel toplayıcılar yapılan araştırmalara göre farklı alan, gecikme, güç ve enerji açısından hibrit paralel toplayıcıların deneysel sonuçları bir araya getirilerek karşılaştırmalı analizleri verilmiştir.

A comparative performance evaluation for hybrid parallel adders in terms of delay, area, power, and energy

H I G H L I G H T S

- Architectures of parallel adders
- Architectures of hybrid parallel adders
- Delay, area, power, and energy comparison in hybrid parallel adders

Article Info

Research Article

Received: 16.08.2020

Accepted: 19.12.2022

DOI:

10.17341/gazimmfd.781170

Keywords:

Hibrit paralel adders,
performans,
enerji,
alan,
power,
and delay

ABSTRACT

In the era of developing technology, faster applications in modern electronic systems increase the demands for less energy consumption, area, power, and delay. This research paper presents various classes of parallel adders and hybrid parallel adders in academic studies. In this study, hybrid parallel collector performance criteria for the delay, area, energy, and power consumption of the proposed models were investigated comparatively. In addition, the performance results of the hybrid parallel adder tools investigated in this study regarding certain criteria are shared. According to the comparative results obtained, hybrid parallel adder circuits with less delay, area, power, and energy consumption can be designed. By looking at these results, it will be possible to make hybrid model selections by considering the data in terms of collectors of the processors to be designed for the areas to be studied. The comparative results are given in Table 1. which shows the results obtained by the researchers by conducting experiments. In this research on hybrid parallel adders, bits of all lengths were generally tried to be considered. According to the research on these parallel adders, the experimental results of hybrid parallel adders in terms of different delay, area, power, and energy are brought together and their comparative analyzes are given.

*Sorumlu Yazar/Yazarlar / Corresponding Author/Authors : *isaavci@karabuk.edu.tr, cevatozarpa@karabuk.edu.tr, aydinali@istanbul.edu.tr /
Tel: +90 533 425 6111

1. Giriş (Introduction)

Sinyal işlemcilerde kullanılan aritmetik üniteler, performans bağlamadaki merkezi rolleri nedeniyle ve son zamanlarda bilgisayar platformlarındaki ortalama ve termal güç bütçelerine katkıda bulunma konusunda son 10 yılda yoğun olarak çalışmalar başlamıştır. Tam Toplayıcı (FA-Full Adder) devresinin optimizasyonu, 1960'lara dayanır. FA'lar herhangi bir aritmetik işlemcinin temel bir yapı taşıdır ve performansını iyileştirmek için Aritmetik Mantık Birimi (ALU-Arithmetic Logic Unit) performansı üzerinde büyük etki oluşturma eğilimindedir [1]. Bu nedenle, güncel Çok Geniş Ölçekli Tümeleşim (VLSI-Very Large-Scale Integration) devrelerinin alanını, gecikmesini ve gücünü azaltmak için FA'ya dayalı paralel toplayıcı kullanılmıştır [2]. Birçok bilgisayar ve diğer işlemci türlerinde, toplayıcılar yalnızca ALU'da değil, aynı zamanda adresleri, tablo endekslerini ve benzeri uygulamaları hesaplamak için kullanıldığı işlemcinin diğer bölümlerinde de kullanılır. Toplayıcıların bazı uygulamaları Çarpma - Toplama (MAC-Multiply-Accumulate Unit) yapılardan oluşur. İleri teknolojiler, düşük güç tasarımı, alan verimli yüksek hızlı veri yolu mantık sistemleri, VLSI tasarım araştırmalarında en önemli alanlardır [3, 4]. Dijital sinyal işleme ve kontrol sistemlerinde ana işlem ilave işlemlere dayanır. Toplayıcı performansları bir işlemcinin veya sistemin hızlı ve doğru olmasına bağlıdır. Genel amaç işlemciler ve dijital sinyal işlemciler (Digital Signal Processing) ilave olarak işlem adreslerini basit dalgalanma taşıma toplayıcısından almalarıdır. İkili işlem elemanlarının araştırılması yeni cihazların geliştirilmesini sağlamaktadır. Sahada programlanabilir kapı dizileri (FPGA'lar) son yıllarda en popüler olanlardır, çünkü mobil dijital sinyal işlemci ve telekomünikasyon gibi mikroişlemci tabanlı uygulamaların hızını arttırmaları [5]. Hibrit paralel toplayıcıların dijital sistemlere eklenmesi, uzun yıllardır kapsamlı bir çalışma konusu olmuştur. Toplayıcılar işlemcilerde işlem yapılması açısından en yavaş olanıdır ve çoğu zaman ekleme gecikmesi çiplerin çalışma sıklığını tanımlamaktadır. Bu nedenle, işlemcilerin performansı, toplayıcılarının hızından önemli ölçüde etkilenir. Sonuç olarak, hızlı bir ekleme kolayca toplam işlemcilerin performansını artırabilir. Yüksek hız, küçük alan ve düşük güç tüketimi açısından verimli bir toplayıcı devreleri tasarlamak için birçok araştırma yapılmıştır [6, 7]. Yapılan araştırmalara da, Brent-Kung ve Kogge-Stone toplayıcılarının farklı aşamalarını kullanan ve değiştirilmiş bir paralel önek toplayıcı Hybrid Han-Carlson toplayıcı bu çalışmada önerilmiştir. Paralel önek ekleyicileri, ikili toplama probleminde yüksek verimli bir çözüm sunar ve FPGA uygulaması için çok uygundur [8]. Mevcut CSLA mimarileri homojen ve heterojen tanımlanmış ve iki yeni hibrit CSLA topolojisi ortaya konmuştur: (i) seçme-alt bölüm-taşıma tabanlı taşıma ileriye dönük toplayıcı taşımak ve (ii) BEC mantığı da dahil olmak üzere seçim bölümü-taşıma tabanlı ileriye dönük toplayıcılar ve çeşitli CSLA yapılarının hız performansları vaka çalışmalarına göre analiz edilmiştir [9]. Han

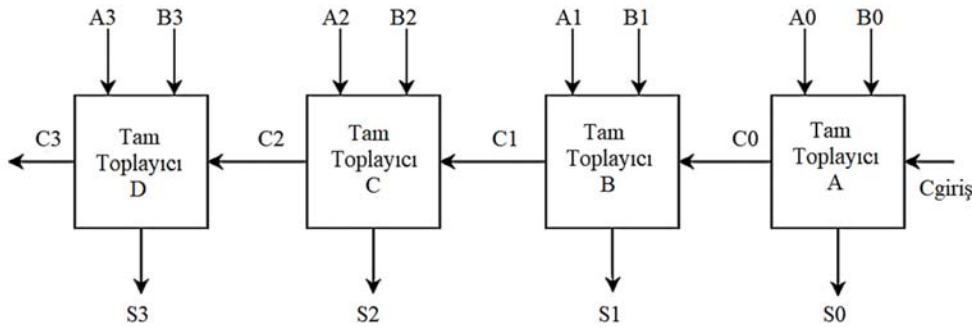
Carlson önek yapısı etkili önek yapısına sahip hibrit modüler paralel önek toplayıcının uygulanması analiz edilmektedir [10].

Toplayıcı, dijital sinyal işlemci ve mikro işlemci veri yolu ünitesi dahil olmak üzere çoğu dijital devre tasarımında kritik unsurdur. Bu nedenle, kapsamlı araştırma ve kullanım sürekli olarak, toplayıcının performansını geliştirmeye odaklanmıştır. Paralel önek toplayıcılar en iyi performansa sahip oldukları bilinmektedir [11]. Toplayıcı devreler tarafından gerçekleştirilen veri işlemenin, mobil hesaplama cihazlarındaki fazla büyüme nedeniyle düşük maliyeti korurken aynı zamanda düşük gecikme ve düşük güç elde etmesi gerekir. Yakın zamanda önerilen, iletim kapılarını (TG) ve standart CMOS'u hibridize eden 1 bitlik tam toplayıcı tasarımı önemli PDP iyileştirmesi sunar [12]. Kogge Stone Toplayıcı (KSA), Brent Kung Toplayıcı (BKA), Han Carlson Toplayıcı (HCA) ve Hibrit Han Carlson Toplayıcı (HHCA) olmak üzere dört farklı Paralel Önek Toplayıcı'nın performansı araştırılmaktadır ve kilit katkı Paralel Önek Toplayıcıların yapısı ve performans parametreleri hakkında bilgiler verilmektedir [13]. Bu çalışmada, hibrit paralel toplayıcılar incelenmiş olup bu toplayıcıların alan, gecikme, güç ve enerji açısından performansları araştırılarak karşılaştırma yapılmıştır. Bu sonuçlara bakılarak çalışma yapılacak alanlar için dizayn yapılacak işlemcilerin toplayıcılar açısından veriler göz önüne alınarak hibrit model seçimleri yapılabilmesi mümkün hale gelecektir. Tablo 1'de verilen karşılaştırmalı sonuçlar araştırmacılar tarafından deneyler yapılarak elde edilmiş sonuçları göstermektedir. Ayrıca, bu çalışmada ilk olarak başlıca paralel toplayıcı türleri sunuldu ve bu toplayıcılar hakkında bilgiler verildi. İkinci olarak, hibrit paralel toplayıcılarının bilgilerini ve grafiklerini veren mimari tasarımları sunuldu. Üçüncü olarak, Tablo 1'de verilen araştırılan makalelerde hibrit paralel toplayıcıların performans analizlerini karşılaştırmayı ve sonuçlandırmayı amaçlanmıştır. Son olarak, hibrit paralel toplayıcıların sonuçlarını alan, gecikme, enerji ve güç açısından karşılaştırmalı analizleri yapılmıştır.

2. Paralel Toplayıcılar (Parallel Adders)

2.1. Dalgalanma Taşıma Toplayıcı (Ripple Carry Adder (RCA))

Dalgalanma taşıma toplayıcı seri halinde tam toplayıcı (FA) blokları kademeli olarak inşa edilmiştir. Bir tam toplayıcı, dalgalanma taşınmasının herhangi bir aşamasında iki ikili basamağın eklenmesinden sorumludur. Bir aşamanın gerçekleştirilmesi doğrudan bir sonraki aşamanın taşınmasına verilir. Bir n-bit RCA, n-tam adders birleştirilerek oluşturulur. Birinci tam toplayıcıdan elde edilen taşıma, $(i + 1)$ tam toplam toplayıcının taşınmasında kullanılır. Dalgalanma taşıma toplayıcısı için kullanılan formüller Eş. 1 ve Eş. 2'de gösterilmektedir. Ayrıca, dalgalanması taşıma toplayıcı mimarisi tasarımı Şekil 1'de gösterilmiştir [14, 15].



Şekil 1. 4-Bit Dalgalanma Taşıma Toplayıcı Diyagramı (Block Diagram of 4-Bit Ripple-Carry Adder) [16]

$$S_i = A_i \text{ xor } B_i \text{ xor } C_i \quad (1)$$

$$C_{i+1} = A_i \times B_i + (A_i + B_i) \times C_i; i = 0, 1, \dots, n - 1 \quad [10] \quad (2)$$

2.2. İleriye Dönük Taşıyıcı Toplama (Carry Look-ahead Adder (CLA))

Bir CLA toplayıcı, taşıma bitlerinin dalgalanan etkisinin getirdiği gecikmenin üstesinden gelmek için tasarlanmıştır. Tasarım, geniş alan pahasına logaritmik sıralı gecikmeyi kullanır ve A ve B, $C_i = \text{Carry}$, S_i ve C çıkış toplamı ise iki girişe sahiptir [14]. İleriye dönük taşıyıcı toplama mimarisi için formüller Eş.1 ve Eş. 6 arasında gösterilmiştir.

$$P_i = A_i \text{ xor } B_i \text{ --- taşıma yayılımı}, \quad (3)$$

$$G_i = A_i \text{ ve } B_i \text{ --- taşıma üretim}, \quad (4)$$

$$C_{i+1} = G_i \text{ veya } (P_i \text{ ve } C_i) \text{ --- Sonraki Taşıma [3]}, \quad (5)$$

$$S_{i+1} = P_i \text{ xor } C_i. \quad (6)$$

Genelde, maksimum r girişine sahip bir n-bit CLA $\log_r(n)$ CLA mantık seviyeleri gerektirir ve bu mimari Şekil 2'de gösterilmektedir [14].

2.3. Taşıma Atlamalı Toplayıcı (Carry Skip Adder (CSKA))

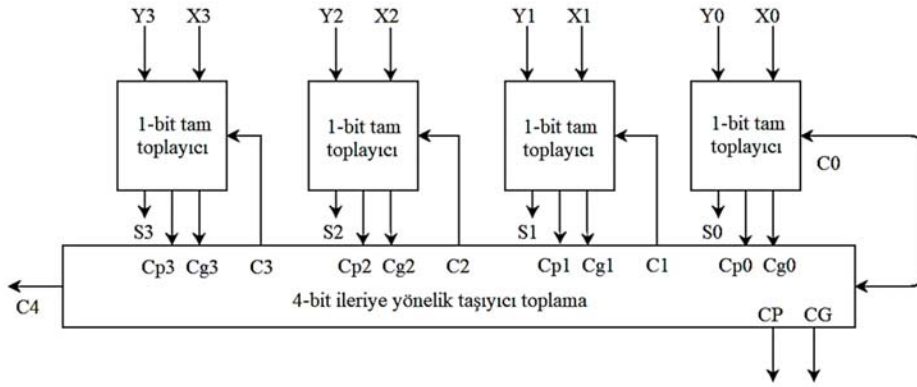
Geleneksel CSKA'da, işlenenler n-bit bloklara ayrılır ve her blok, toplam bitleri üretmek için kullanılan RCA'yı ve blok için bir yürütme bitini temsil eder. CSKA'da $O(\sqrt{n})$ gecikmesi, basit ve düzenli bir düzen ile gecikme açısından iyi bir uzlaşma sağlar ve tasarımı Şekil 3'te gösterilmiştir [14].

Bu tasarım, tüm hücrelerin karşılaştırılmasının gerçekten eşit olmadığını ve taşımayı bir sonraki bloğa yaymaya devam ettiğini göstermektedir. Üretilen bir taşıyıcının veya bir çoğaltılmış (önceki) ürünün seçiminden sorumlu olan bir MUX eklendiğinde, seçim çizgisi, daha önce tarif edilen karşılaştırma devresinin çıktısıdır. Eğer $A_i \neq B_i$ bloğundaki her hücre için, bir taşıyan bloktan atlayabileceğini varsa, aksi takdirde $A_i = B_i$ ise, taşımanın blokta üretilmesi gerekmektedir. Taşıma atlamalı toplayıcı için Eş. 7 ve Eş. 14'e arasında hesaplama formülleri gösterilmektedir [14].

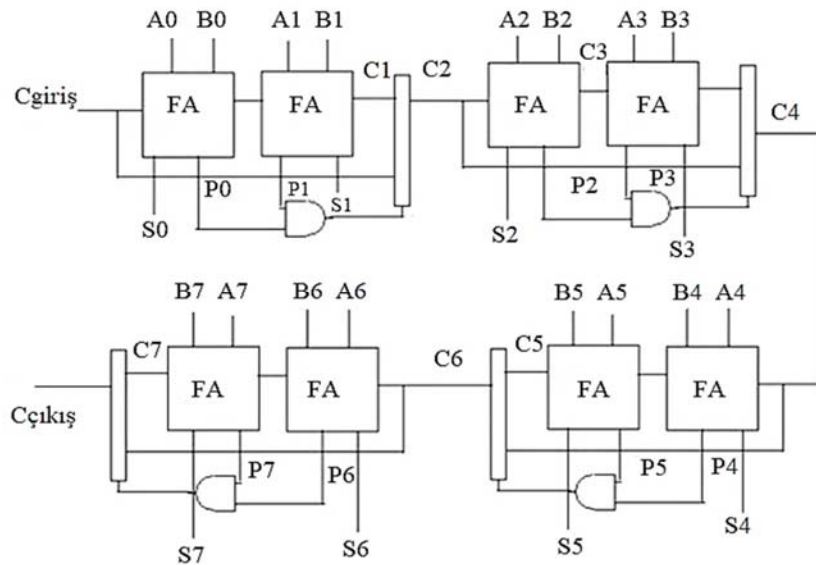
$$P_i = A_i \text{ xor } B_i \text{ eşitlik 1 - i. aşamanın taşıma yayılımı}, \quad (7)$$

$$S_i = P_i \text{ xor } C_i \text{ eşitlik 2- i. aşamanın toplamı}, \quad (8)$$

$$C_{i+1} = A_i \times B_i + P_i \times C_i \text{ eşitlik 3- i. aşama gerçekleştirme}, \quad (9)$$



Şekil 2. 4-bit ileriye dönük taşıyıcı toplama (Block diagram of 4-bit carry look-ahead adder) [14]



Şekil 3. 8-bit taşıma atlama toplayıcı (8-Bit Carry skip adder) [14]

Eğer $A_i = B_i$ ise, $P_i = 0$ eşitlik 4- eşitlik 1'den, (10)

Eğer $A_i = B_i = 0$ ise, $C_i + 1 = A_i \times B_i = 0$ - eşitlik 3'ten, (11)

Eğer $A_i = B_i = 1$ ise, $C_i + 1 = A_i \times B_i = 1$ - eşitlik 3'ten, (12)

$A_i \neq B_i$ ise, $P_i = 1$ eşitlik 5- eşitlik 1'den, (13)

Eğer $A_i \neq B_i$ ise, $C_i + 1 = C_i$ - eşitlik 3'ten (14)

$G_i = A_i \times B_i$ -- i. aşama taşıma yayılımı, (15)

$P_i = A_i \text{ xor } B_i$ -- i. aşama taşıma yayılımı, (16)

$S_i = P_i \text{ xor } C_i$ -- i. aşamanın toplamı, (17)

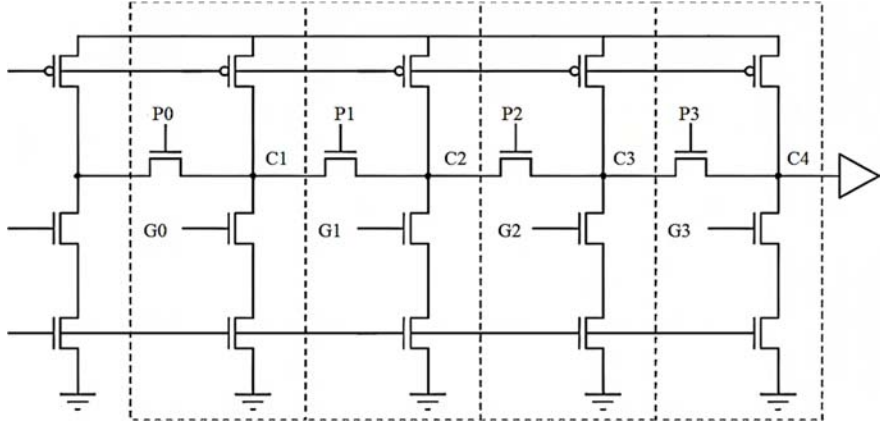
$C_i + 1 = G_i + P_i \times C_i$ -- i. aşama tamamlanma. (18)

2.4. Manchester Zincir Paralel Toplayıcı (Manchester Chain Parallel Adder)

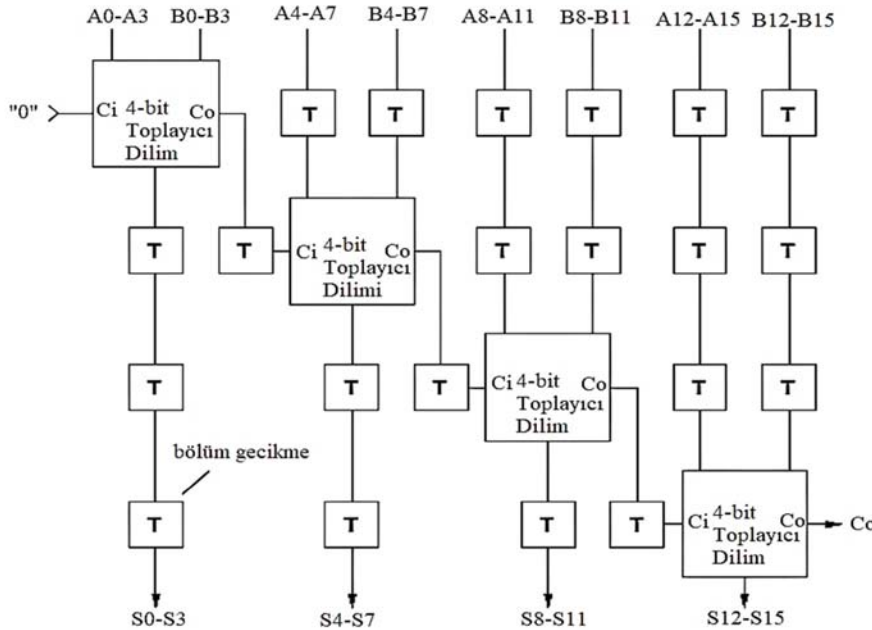
Manchester taşıma toplayıcı, Manchester yayılma hücrelerinin basamaklandırılmış aşamalarından oluşur. Hızı büyük ölçüde arttıran seri yayılma transistörlerinin sayısını azaltmak için seçilmiştir. Dört bitlik bir toplayıcı durumunda, tüm yayılan sinyaller ve C_i doğru olduğunda, geçide seri halinde olan maksimum transistör sayısı yalnızca beş olarak belirtilmektedir [14]. Manchester zincir paralel toplayıcı için Eş. 8'den Eş. 18'e kadar hesaplama formülleri gösterilmektedir.

2.5. Boru Hattı Paralel Toplayıcı (Pipelined Parallel Adder)

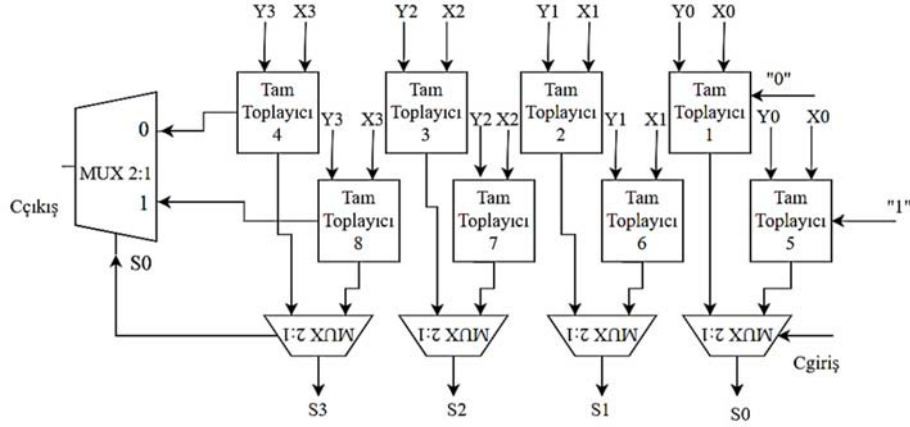
Bir tasarımın boru hattı haline getirilmesi, K-aşamalarının ve K-kayıtlarının bir girdiden bir çıktıya eklenmesi gereken tasarımın her aşamasına kayıt eklemek anlamına gelmektedir. Devrenin her aşaması için bir kayıt eklenecektir. Her saat döngüsünde, devreye yeni bir giriş uygulanır. Bu nedenle, kayıtlar nedeniyle, ilk sonucu almak için üç saat döngüsü gerekir. İlk giriş ve ilk çıkış arasındaki bekleme devrenin gecikme süresi olarak adlandırılır. Bu devrenin gecikme süresi üç saat döngüsüdür. Daha sonra, her saat döngüsünden sonra, çıktıda yeni bir sonuç elde edilir. Buna verimlilik ve bir saat döngüsü ve T_{co} (bir saat döngüsünden bir yazıcının çıkışına kadar geçen süre) denir [14]. Boru hattı paralel toplayıcı mimarisi Şekil 5'te gösterilmektedir.



Şekil 4. 4-bit Manchester taşıma diyagramı (4-bit Manchester carry diagram) [14]



Şekil 5. Boru hattı paralel toplayıcı (Pipelined parallel adder) [14]



Şekil 6. 16-bit taşıyıcı seçme toplayıcı blok diyagramı (16-bit carry select adder block diagram) [16] FA

2.6. Taşıyıcı Seçme Toplayıcı (Carry Select Adder (CSLA))

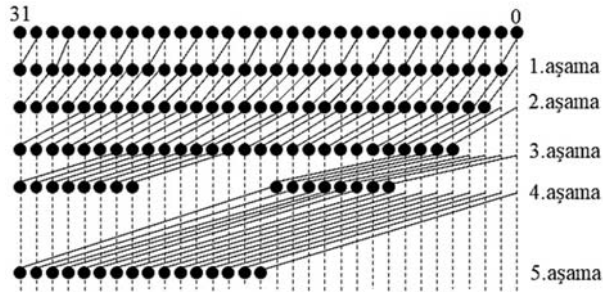
Bir taşıyıcı seçme toplayıcı, her biri paralel olarak iki ekleme yapan, biri sıfır, diğeri birinin taşıma içeriğini varsayan, ancak en önemlisi hariç, bloklara bölünmüştür. Hız performansını artırmak için, taşıma seçme toplayıcı alan gereksinimlerini artırır. Dört bitlik bir taşıma seçimi toplayıcı genellikle iki RCA ve bir çoklayıcıdan oluşur. Bir kez teslim edildikten sonra, istenen çıktıyı üretmek için doğru hesaplama MUX kullanarak seçilir. Bu nedenle, toplamın hesaplanmasını beklemek yerine, toplamlar taşıma oraya varır ulaşmaz doğru bir şekilde çıkarılır. Toplamı hesaplamak için harcanan zaman bundan kaçınılmakta, bu da hızda iyi bir gelişme ile sonuçlanmaktadır. Taşıma seçimi toplayıcı basit fakat oldukça hızlıdır, kapı derinliği \sqrt{n} 'dir [16].

2.7. Ön Eklili Paralel Toplayıcılar (Pre-Fix Parallel Adders)

Genel olarak önekli paralel toplayıcılar araştırıldı ve detaylı olarak bilgiler verilmiştir. Özellikle genel yapıları üzerinde durularak şekillerle açıklanmaya çalışılmıştır.

2.7.1. Kogge-Stone önekli paralel toplayıcı (The Kogge-Stone parallel prefix adder)

Kogge-Stone önekli paralel toplayıcının taşıma aşamaları aşağıdaki gibidir ve Şekil 7'de detaylı olarak gösterilmiştir [14, 15]. $\log_2 n$, hücre sayısı $n (\log_2 n - 1) + 1$ ve maksimum fan çıkışı: 2 (ekstra kablolama).



Şekil 7. 32-bit Kogge-Stone önekli paralel toplayıcı diyagramı (32-bit Kogge-Stone parallel prefix diagram) [14]

2.7.2. Han-Carlson önekli paralel toplayıcı (Han-Carlson parallel prefix adder)

Han-Carlson yapısı, Brent-Kung ve Kogge-Stone yapılarındaki aşamaları birleştiren karma bir tasarımdır. Orta aşamalar Kogge-

Stone yapısına benzer ve ilk ve son aşamalar Brent-Kung yapısını kullanır. KS yapısına kıyasla, kablolamayı ve geçitleri azaltır, ancak bir aşaması daha vardır. Han-Carlson önekli paralel toplayıcının taşıma aşamaları aşağıdaki gibidir ve Şekil 8'de detaylı olarak gösterilmiştir [14].

$$\log_2 n + 1 \text{ ve maksimum fan çıkışı: } 2 \quad (19)$$

2.7.3. Ladner-Fischer önekli paralel toplayıcı (Ladner-Fischer parallel prefix adder)

Ladner-Fischer toplayıcı, ikili toplamayı hızlandırmak için esnek bir yapıya sahiptir ve yapı olarak aritmetik işlemlerin yüksek performansı için ağaç yapısına benzemektedir. Aritmetik işlemi gerçekleştirmek için ağaç yapısı gibi görünmektedir ve yüksek performanslı toplama işlemi için kullanılmaktadır. Toplayıcı, her siyah hücrenin iki AND kapısından ve bir OR kapısından oluştuğu siyah hücrelerden ve gri hücrelerden oluşur. Çoklayıcı, birden çok giriş ve tek bir çıktidan oluşan birleşik devredir. Her gri hücre sadece bir AND kapısından oluşur. P_i 'nin yaydığı ve sadece bir AND kapısı içerdiği, G_i 'nin ürettiği anlamına gelir ve bir AND kapısı ve OR kapısından oluşur, G_i ürettiğini belirtmektedir ve denklemde verilen bir AND geçidi ve OR geçidinden oluşmaktadır.

$$P_i = B_i \text{ AND } B_{i-1}, \quad (20)$$

$$G_i = A_i \text{ OR } [B_i \text{ AND } A_{i-1}], \quad (21)$$

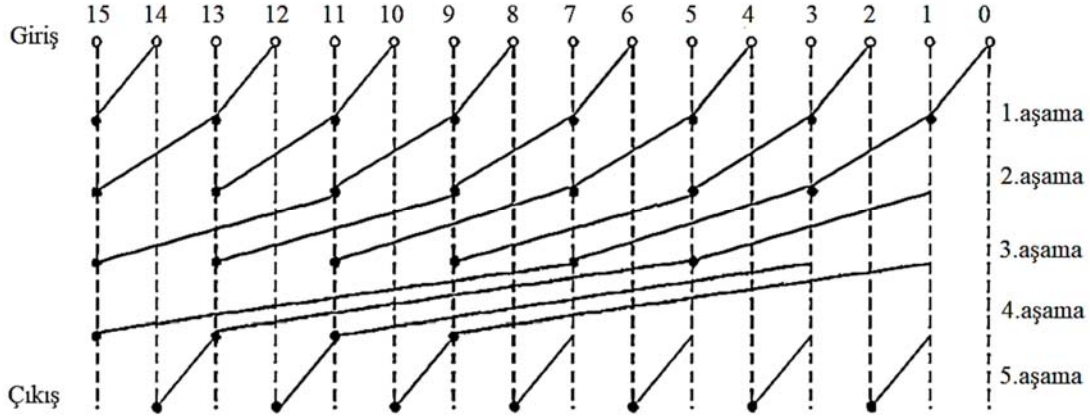
$$G_i = A_i - 2 \text{ OR } [B_i - 2 \text{ AND } A_{i-1}]. \quad (22)$$

Ladner-Fisher paralel önek toplayıcı taşıma aşamaları Şekil 9'da detaylı olarak gösterilmiştir [14]. $\log_2 n$, hücre sayısı $(n/2) (\log_2 n)$ ve maksimum fan çıkışı: $n/2$ (büyük fan çıkışı, uzun kablolama).

2.7.4. SKLANSKY önekli paralel toplayıcı (SKLANSKY parallel prefix adder)

Koşullu toplama, ilk kullanılan bu paralel önek algoritmasıdır (PPA-SK) ve en yaygın kullanılan önekli algoritmalarından biridir. Fan çıkışı, minimum derinlik nedeniyle son aşamalara doğru katlanarak artar. Maksimum fan çıkışı, işlemsel bitlerin sayısına doğrusal olan $O(n)$ 'dir. Her bir siyah hücre, isteğe bağlı bir birleşme operatörünü temsil etmektedir. 16-bit SKLANSKY'nin ön eklili toplayıcı tasarım örneği Şekil 10'da gösterilmiştir. Hesaplama formülü Eş. 23'te verilmiştir.

$$(G_{out}, P_{out}) = (G_i, P_i) o (G_j, P_j) = G_j + (P_i, G_j, P_i \times P_j) \quad (23)$$



Şekil 8. Han-Carlson önekli paralel toplayıcı trafiği (Han-Carlson parallel prefix adder graph) [14]

2.7.5. BRENT & KUNG önekli paralel toplayıcı (BRENT & KUNG parallel prefix adder)

BRENT & KUNG paralel önek algoritması, SKLANSKY ile karşılaştırıldığında iki kat daha derinliklidir ve az sayıda siyah hücreye ve düşük kablolama gereksinimine bağlı olarak oldukça etkilidir. Ayrıca, beyaz hücrelerin mantığı yoktur. 16-bit BRENT ve KUNG'un pre-x toplayıcı tasarımı Şekil 11'de gösterilmiştir [14, 16]. Hesaplama formülü Eş. 24'te gösterilmiştir.

$$2 \log_2 n - 1, \text{ hücre sayısı: } 2(n-1) - \log_2 n \text{ ve maksimum fan çıkışı: } 2 \quad (24)$$

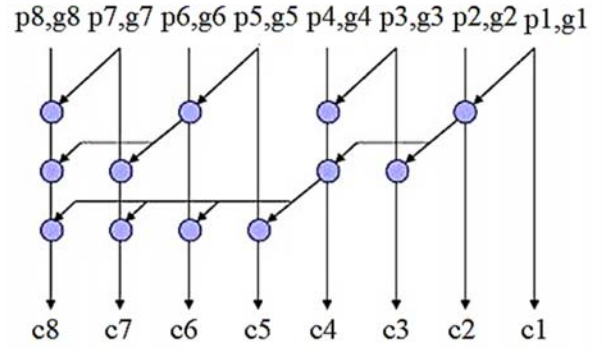
2.7.6. Yayılan ağaç ileriye taşıma önek paralel toplayıcı (Spanning tree carry look-ahead parallel adder)

İlgili eklentiler arasındaki performans değerlendirmesi, bileşenlerin sayısına göre yapılır. Mevcut VLSI uygulamasında, yayılan ağaç toplayıcı için kullanılan normal tam toplayıcılardır. 16-bit ek tasarım, 16 normal tam toplayıcı gerektirmektedir. QSD (Quaternary Signed Digit) tasarımı dahil, önerilen 16-bit eklemeyi uygulamak için, sadece 8 normal tam toplayıcı gerektirmektedir. Böylece, dörtlü tam toplayıcılar kullanarak donanımı azaltılabilir ve alan açısından kazanım sağlanmaktadır [17]. Yayılan ağaç ileriye taşıma önek paralel toplayıcı Şekil 12'de gösterilmektedir.

3. Hibrit Paralel Toplayıcı Mimarileri (Hybrid Parallel Adder Architectures)

3.1. Ling Eşitsizliğine Dayalı Hibrit Paralel Önekli Toplayıcı (Hybrid Parallel Prefix Adder Based on Ling Equations)

Bu çalışmada, hibrit paralel toplayıcı mimari tasarım, Ladner-Fischer ve Kogge-Stone yaklaşımı kullanılarak alan, gecikme ve güç tüketimi gibi performans parametrelerini tamamlamaktadır. Alan, güç ve gecikme verimliliğini elde etmek için tasarım seçeneklerinin yanı sıra, hibrit paralel önek Ling toplayıcıya takas işlemlerinin optimizasyonu ve alan gücü optimizasyonu da sağlanmaktadır. Her bir biti, basit bir XOR kapısı yerine çoklayıcı ile üretildiğinden, geleneksel önek toplayıcılardan daha fazla alan gerektirir. Ayrıca, üretilen en önemli Ling taşıması, toplayıcıya yapılan asıl işlemi temsil etmemektedir ve çıkarımın üretilmesi, ek bir AND kapısı gerektirmektedir. Bu dezavantajlar, sözde taşıyıcılar yerine gerçek taşıyıcılar üretilerek elimine edilebilir. Elmas düğümlerin kullanılması, uygulama alanını azaltılabilir basit XOR kapıları ile değiştirilebilir [18]. Şekil 13'te Ling denklemleri örneğine dayanan 16 bitlik hibrit toplayıcı gösterilmektedir.



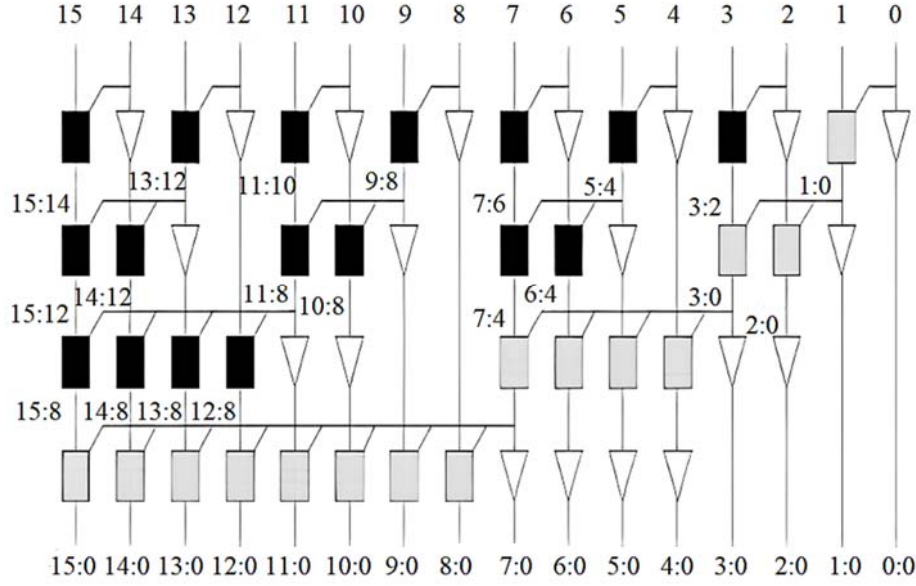
Şekil 9. Ladner-Fischer önekli paralel toplayıcı (Ladner-Fischer parallel prefix adder) [14]

3.2. Enerji Verimli Hibrit Toplayıcı Mimarisi (Energy Efficient Hybrid Adder Architecture)

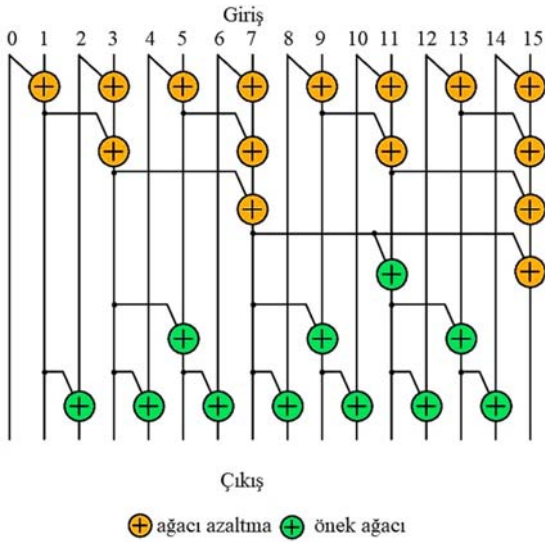
Bu çalışmada, enerji verimli hibrit toplayıcı tasarımı önerilmiştir. Bu makale, taşımayı en az önemli bitten (LSB) ileriye doğru ve en önemli bitten (MSB) geriye doğru yayılan olarak düşünerek eklemenin gerçekleştiği bir hibrit toplayıcı önermektedir. Düşük maliyetli dalgalanma taşıma ve taşıma zinciri devrelerinin birleştirilmesiyle birlikte hızlanma, diğer toplayıcı mimarilere kıyasla enerji verimliliği sağlar. 500 MHz ve 1 GHz saat frekanslarını hedef alan bu hibrit tasarım 32, 64 ve 128-bit ekleyiciler 65 nm teknolojisinde tasarlanmıştır [19]. Enerji verimli hibrit toplayıcı mimarisi Şekil 14'te genel mimari gösterilmektedir.

3.3. Hibrit Paralel Önekli Alan, Güç ve Gecikme Tahmini ile Tasarım ve Uygulama Mimarisi (Design and Implementation Architecture with Area, Power and Delay Estimation of Hybrid Parallel Prefix Adder)

Bu çalışmada karma paralel toplayıcı tasarımı, Kogge-Stone Toplayıcı (KSA) ve Brent-Kung Toplayıcı (BKA) ile birleştirilmiştir. KSA dört seviyeli ve 49 hücreli ve BKA altı seviyeli ve 29 hücreli, önerilen hibrit toplayıcıımızda beş seviyeli ve ilk seviyedeki 32 hücreli BKA ile aynıdır. İkincisi, üçüncüsü, dört seviye KSA ile aynıdır ve nihayet beşinci seviye BKA'ya aittir, ardından nihai hesaplama işlemine son çıktıyı verir. O zaman bu hibrit toplayıcı, diğer paralel ekleyicileri karşılaştırdığında daha az alan ve düşük güç harcar. Hibrit paralel önekli alan, güç ve gecikme tahmini ile tasarım ve uygulama mimarisi Şekil 15'de gösterilmektedir.



Şekil 10. 16-bit SKLANSKY önekli paralel toplayıcı blok diyagram (16-bit SKLANSKY parallel prefix adder block diagram) [16]



Şekil 11. 16-bit taşıyıcı seçmeli toplayıcı blok diyagram (16-bit carry select adder block diagram) [16]

3.4. Radix-8 Booth Kodlamalı 3X Nesil İçin Enerji Verimli Paralel Hibrit Toplayıcı Mimarisi (Energy Efficient Parallel Hybrid Adder Architecture For 3X Generation in Radix-8 Booth Encoding)

Bu çalışmada, radix-8 booth kodlamasında (3X) çoklu nesil ihtiyacı, kısmi ürün üretiminin karmaşıklığını ve çarpanın gecikmesini artırır. Gecikmenin kaynağı, öncelikle taşıma sinyallerinin yayılmasıdır. Bu problemin üstesinden gelmek için çeşitli taşıma yayma toplayıcı mimarileri üzerine çalışma yapılmıştır. Bu tasarımda, 3X çoklu simetrisinden ve Ling önek ağacı kullanarak son taşıyıcı neslinden yararlanarak eş zamanlı sözde taşıma sinyallerini hazırlayan karma bir toplayıcı mimarisi önerilmektedir. Taşıma yolundaki Ling toplayıcı karmaşıklığı azalttığı için, önerilen toplayıcı, son teknoloji ürünü 64 bit toplayıcılara kıyasla güç gecikme ürününde (-25-55) önemli bir iyileşme ile sonuçlanmaktadır. Bu toplayıcı kritik yoldaki mantık

kapılarının sayısını ve statik güç tüketimini azalttığı vurgulanmaktadır. Bir tasarım ölçütü olarak, mantık modüllerinin enerji dağıtımını en aza indirmek için gerekli olan sonuçlar, önerilen hibrit toplayıcının derin mikron altı VLSI teknolojisindeki işlemcilerin gereksinimlerini karşılayacağını göstermektedir. Sözde taşıma üretimi ve yayılma (ti), üretme (gi), yarı toplam (Hi) sinyallerin ön işleme aynı anda gerçekleşir. Son taşıma sinyallerinin önek hesaplaması, 1 ve 2 seviyelerinde gerçekleştirilir [21, 27]. Radix-8 booth kodlamalı 3x nesil için enerji verimli paralel hibrit toplayıcı mimarisi Şekil 16'da gösterilmektedir.

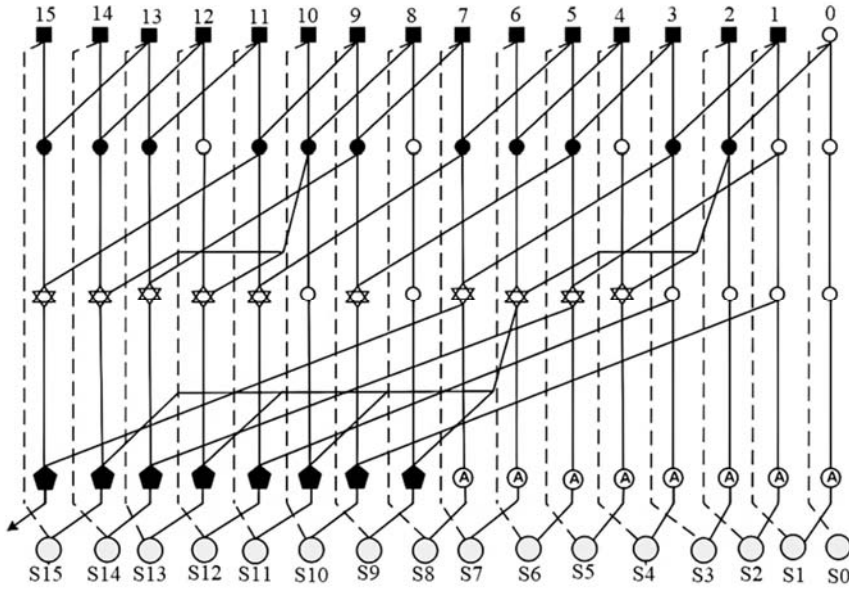
3.5. Yüksek Hızlı Hibrit Taşıma Seçimi Toplayıcı Mimari Tasarım (Architecture Design of High Speed Hybrid Carry Select Adder)

Bu çalışmada, tasarım güç ve alan açısından verimli taşıma seçici toplayıcı (CSA) açıklanmaktadır. Aslında, CSA, birçok veri işleme sisteminde hızlı aritmetik işlemleri gerçekleştirmek için kullanılan en hızlı eklentilerden biridir ve küçük alanlar arasında ortada bulunmaktadır. Ancak daha uzun gecikmeli Dalgalı Taşıma Toplayıcıyı (RCA) geciktirir ve daha kısa gecikme taşıyan ileriye dönük toplayıcı daha büyük bir alana sahiptir. Yüksek hızlı hibrit taşıma seçimi toplayıcı mimari tasarım Şekil 17'de gösterilmektedir.

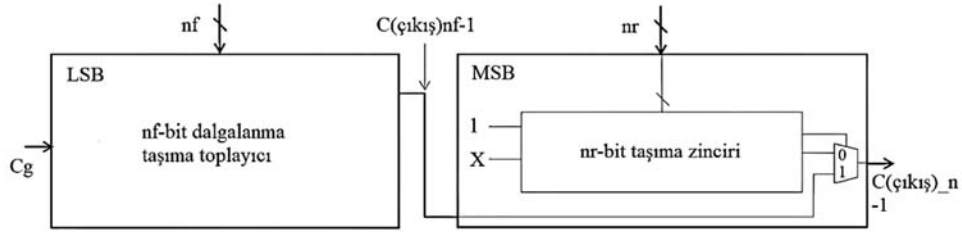
Modifiye Carry Select-Adder'da (MCSA), alan ve güç tüketimini azaltmak için küçük RCA'ları kullanmak yerine tek RCA ve İkili-Aşırı-1 Dönüştürücü (BEC) kullanan tasarım önerilmiştir. Alanın azaltılmasının nedeni, bir BEC'i tasarlamak için kullanılan mantık kapılarının sayısının bir RCA tasarımı için kullanılan mantık kapılarının sayısından daha az olmasıdır [22].

3.6. Radix-4 Önek Ağacı Mimarisine Dayalı Alçak Gerilim ve Düşük Güç 64-bit Hibrit Toplayıcı Mimarisi (Low Voltage and Low Power 64-bit Hybrid Adder Design Based on Radix-4 Prefix Tree Architecture)

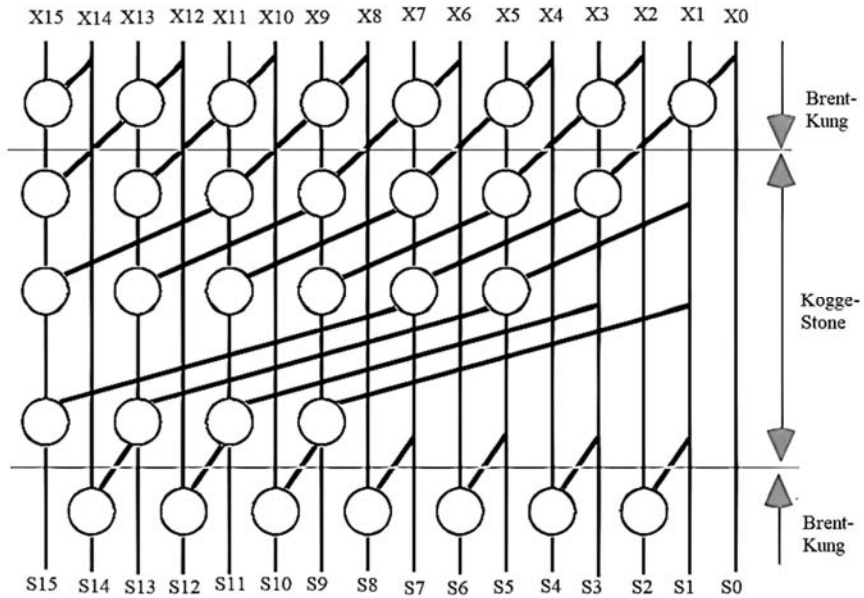
Bu çalışmada, 64 bitlik hibrit toplayıcı, Şekil 19'da gösterildiği gibi hibrit PTS ve CSA'ya dayanılarak tasarlanmıştır. Bir radix-4 64 bitlik hibrit toplayıcı, dört bitlik bir grup için sadece üç aşamadan oluşur. Bir önek ağacındaki aşama ve radix arasındaki ilişkiye göre, daha az aşama benimsenen daha yüksek aşamaya bağlıdır ve ön aşama en az



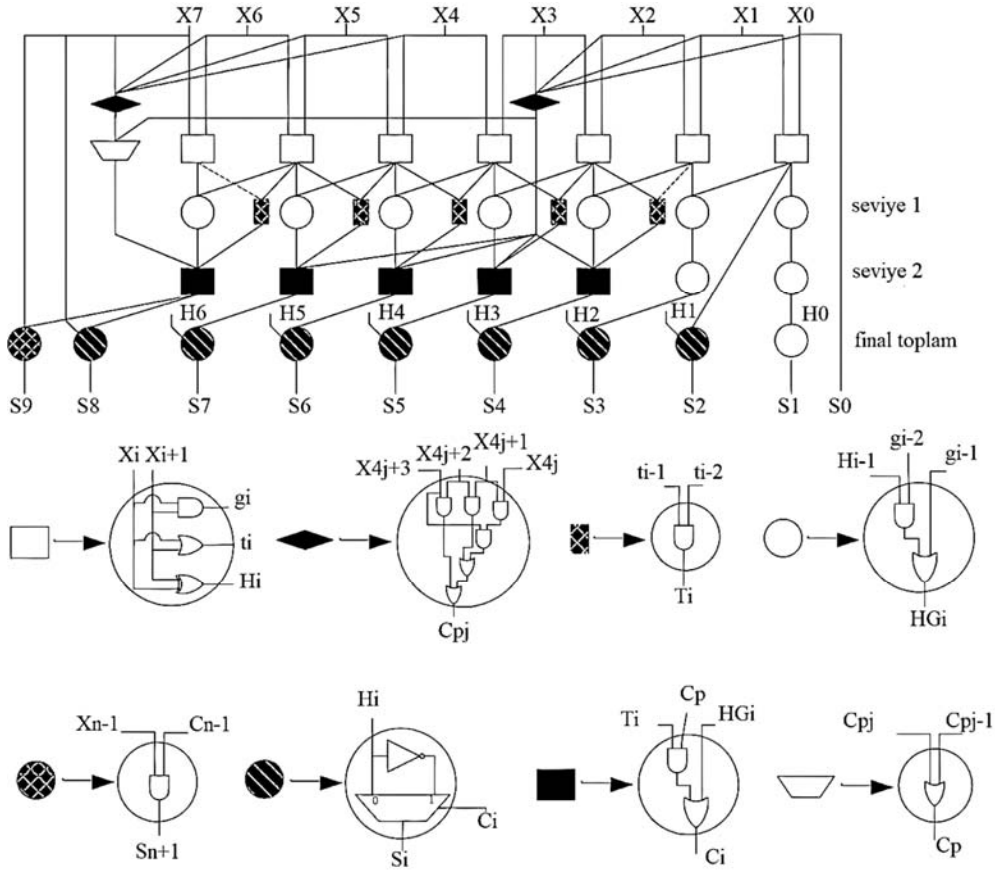
Şekil 13. 16-bit ling eşitsizliğine dayalı hibrit paralel önek toplayıcı (16-bit hybrid parallel prefix adder based on ling equations) [18]



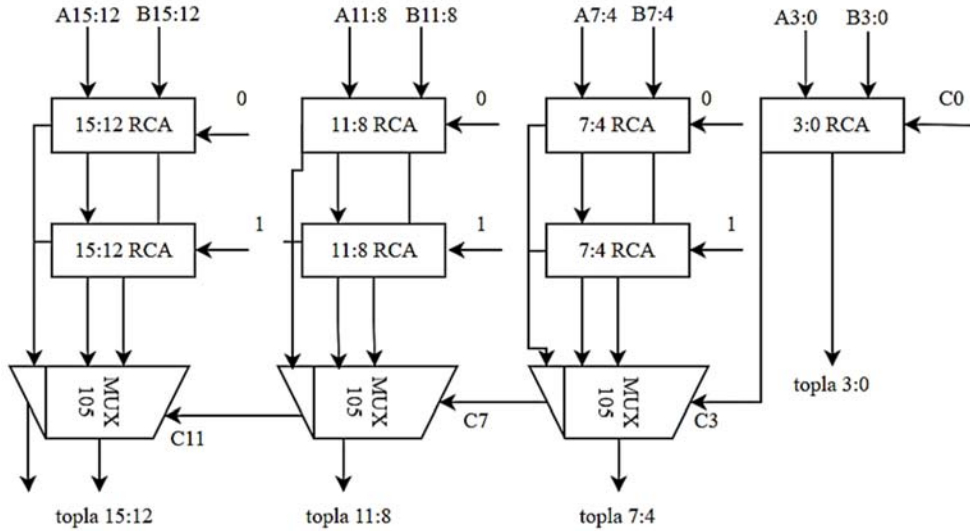
Şekil 14. Tam bir n-bit hibrit toplayıcının mimarisi (The architecture of a complete n-bit hybrid adder) [18]



Şekil 15. Hibrit paralel önek toplayıcı (Hybrid parallel prefix adder) [20]



Şekil 16. 3X nesil için 8-bit önerilen hibrit paralel mimari (8-bit proposed parallel hybrid architecture for 3X generation) [21]



Şekil 17. 16-bit değiştirilmiş taşıma seçici toplayıcı (16-bit modified carry select adder (MCSA)) [22]

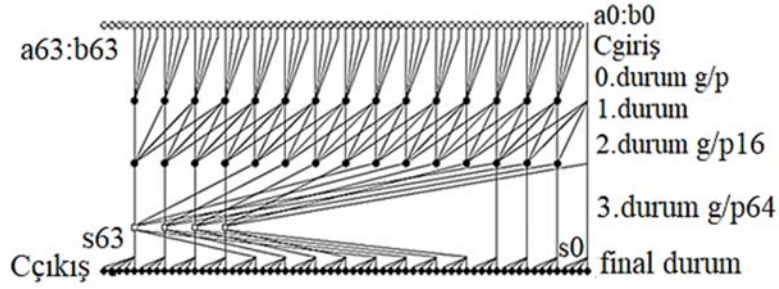
3.9. Hibrit Değişken Gecikme Taşıma Atlama Toplayıcı Mimarisi (Hybrid Variable Latency Carry Skip Adder Architecture)

Hibrit değişken gecikmeli taşıma atlamalı toplayıcı (HVL-CSKA), birleştirme ve artırma şeması taşıma atlamalı toplayıcının (CI-CSKA) yapısal modifikasyonu ile elde edilir. CI-CSKA, geleneksel taşıma atlama toplayıcısında olduğu gibi çoklayıcılar yerine atlama mantığı

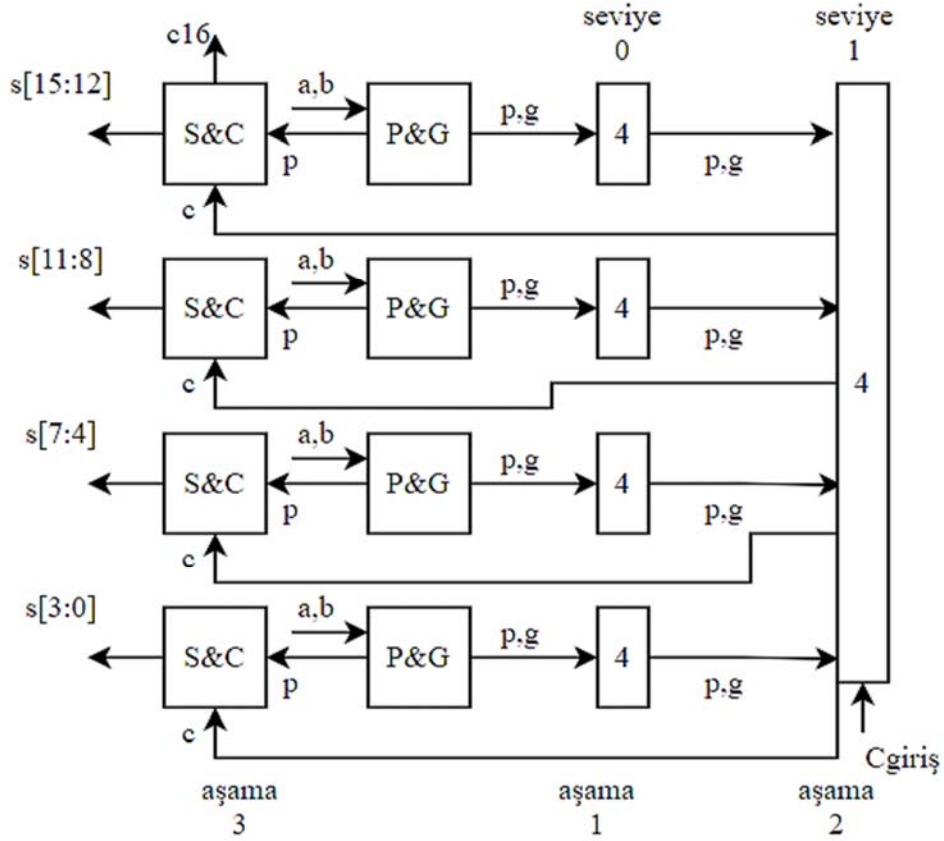
olarak AND-OR-INVERT (AOI) mantığını ve OR-AND-INVERT (OAI) mantığını kullanır [26].

4. Performans İnceleme (Performance Analysis)

Aşağıdaki tabloda hibrit paralel toplayıcılar incelenmiş olup bu toplayıcıların alan, gecikme, güç ve enerji açısından performansları



Şekil 18. 64-bit hibrit toplayıcı (64-bit hybrid adder) [23]

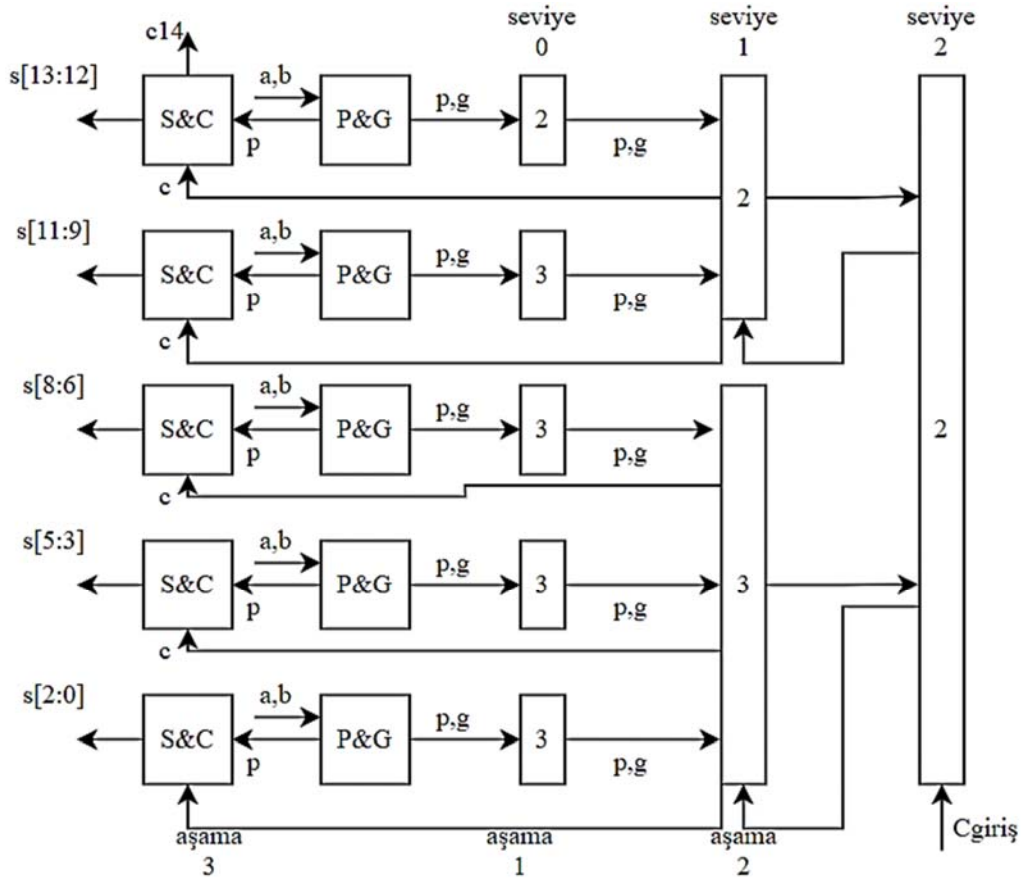


Şekil 19. Radix-4 HCLA'larına dayalı bir hibrit RCA / HCLA₄16 16-bit toplayıcı (A hybrid RCA/ HCLA₄16 16-bit adder based on radix-4 HCLAs) [24]

araştırılarak karşılaştırma yapılmıştır. Araştırma yapılan çalışmalar tablo halinde verilmiştir. Tablo 1'de farklı bit uzunluklarda, farklı alan, gecikme, güç ve enerji konusunda hibrit paralel toplayıcılar incelenmiştir. İnceleme sonucunda elde edilen analizlerde hangi hibrit paralel toplayıcı performansı diğerlerine göre daha fazla üstünlük sağlayacağı karşılaştırmalı olarak tabloda verilmiştir. Ayrıca dizayn yapılacak ve kullanılması hedeflenen hibrit toplayıcıların performans bilgilerine ihtiyaç duyulması durumunda akademik çalışmalara fayda sağlaması amaçlanmıştır. Tablo 1'de kullanılan x ifadesi o konuda bir performans göstergesi olmadığını belirtmektedir. Hibrit paralel toplayıcılar üzerine yapılan bu çalışmada genel olarak tüm uzunluklardaki bitler ele alınmaya çalışılmıştır. Bu paralel toplayıcılar yapılan araştırmalara göre farklı alan, gecikme, güç ve enerji açısından hibrit paralel toplayıcıların deneysel sonuçları bir araya getirilerek karşılaştırmalı analizleri verilmiştir. Hibrit paralel toplayıcılar bu dört ana başlık altında toplanarak yapılan çalışmalar

bir araya getirilmiştir. Hibrit paralel toplayıcılar elektrik ve elektronik devre dizaynı açısından alan kazanımı, enerji tasarrufu açısından daha düşük enerji tüketen devrelerin dizayn edilmesi, devrelerdeki gecikmelerin daha kısa sürelerle indirilmesi ve güç olarak daha düşük güçlere ihtiyaç duyulması nedeniyle bu toplayıcı devrelere ihtiyaç duyulmaktadır [28].

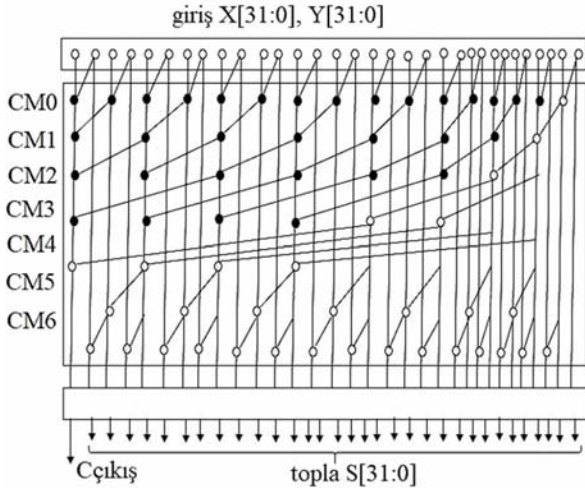
Gelecek çalışmalarda hibrit modeller üzerinde çalışmalar yapılarak daha küçük alanlar, daha düşük enerji ve güç tüketimlerinin sağlanması, gecikme açısından daha düşük değerler elde edilmesi amacıyla hibrit paralel toplayıcı modelleri üzerinde araştırma çalışmalarına devam edilmesi gerekmektedir. Geliştirilecek bu toplayıcıların deneysel sonuçları paylaşarak elde edilen performans sonuçları araştırmacılara sunulacak çalışmalara yön vermemelidir.



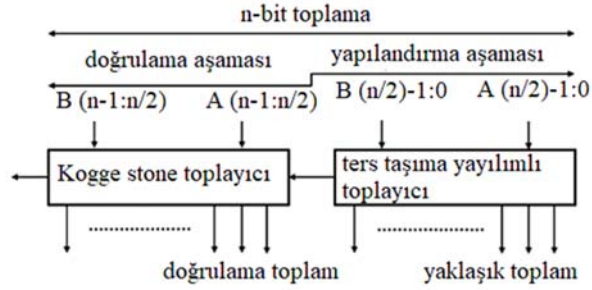
Şekil 20. Radix-3 ve radix-2 HCLA'lara dayalı bir hibrit RCA/HCLA₃ 14-bit toplayıcı
(A hybrid RCA/HCLA₃ 14-bit adder based on radix-3 and radix-2 HCLAs) [24]

Tablo 1. Hibrit paralel toplayıcı performans karşılaştırması (Compare of hybrid parallel adder performances)

Toplayıcı No	Uzunluk (Bit)	Alan (µm ²)	Gecikme (ns)	Güç (mW)	Enerji (Norm.)
[21, 27]	8-Bit	209	0,67	0,004	x
[22]		167	16,63	86,92	x
[26]		x	12,05	0,005	x
[18]	16-Bit	620	0,74	0,01	x
[20]		x	0,99	x	x
[21, 27]		466	1,05	0,009	x
[22]	32-Bit	381	21,59	81,38	x
[26]		x	17,65	x	x
[19]		1409	0,99	0,03	x
[19]	64-Bit	x	1,71	x	0,87
[21, 27]		979	1,81	0,02	x
[22]		809	32,65	79,81	x
[24]	128-Bit	791,2	0,19	x	x
[25]		778,3	0,19	x	x
[26]		1147,44	x	0,40	x
[19]	256-Bit	x	1,81	x	0,17
[21, 27]		2007	3,33	0,04	x
[22]		1665	54,01	79,25	x
[23]	512-Bit	7296	0,20	9,58	x
[24]		1501,3	0,20	x	x
[25]		1501,3	0,20	x	x
[25]	1024-Bit	2446,46	0,87	0,014	x
[19]		x	1,85	x	0,849
[25]		5187,17	1,00	0,029	x



Şekil 21. 32-bit Karma Han-Carlson toplayıcısında örnek hesaplamasının grafik gösterimi (Graph representation of prefix computation in a 32-bit Hybrid Han-Carlson adder) [25]



Şekil 22. Hibrit HVL-CSKA 8 bit çekirdek iç yapısı (Internal structure of the 8 bit HVL-CSKA) [26]

5. Sonuçlar (Conclusions)

Bu çalışmada, genel olarak yapılan çalışmalar incelenerek paralel toplayıcılar ve hibrit paralel toplayıcılar araştırıldı. Hibrit paralel toplayıcılar üzerine yukarıda verilen alan, gecikme, güç ve enerji performans göstergeleri farklı bitlerdeki çalışmalar araştırılarak performansları karşılaştırıldı. Sonuç olarak, bu performans göstergeleri, hangi paralel toplayıcı mimarisi tasarımının işlemci açısından kolay ve hızlı bir tasarım olarak avantaj sağladığı gösterilmektedir. Yüksek hız, küçük alan, düşük güç ve enerji tüketimi açısından verimli bir toplayıcı devreleri tasarlamak için birçok araştırma yapılmıştır. Bu makale çalışmasında araştırmacılar ve akademisyenler için dizayn açısından gereksinim taleplerine karşılık cevap bulabilmeleri amaçlanmıştır. Ayrıca, paralel toplayıcı çözümlerinin umut verici olduğunu gösteren hibrit paralel toplayıcı mimarilerini inceledi ve gelecekte bu alanda çalışmaların daha fazla yapılması gerektiği anlaşılmıştır. Hibrit mimarilerin kullanımı, hibrit paralel toplama işlemlerinde en iddialı çözümlerden biridir. Hibrit paralel toplayıcı teknolojisinin, bu amaç için yapılacak yeni çalışmalarla daha da geliştirilebileceği açıkça görülmektedir ve bu konuda yapılacak akademik çalışmalara yol gösterecektir. Hibrit paralel toplayıcıların farklı bitlerde araştırılması ve tüm özellikler açısından sonuçları mutlaka ele alınmalıdır. Yaptığımız araştırma sonuçlarında belirlediğimiz tüm alanlar için aynı anda performans sonuçları verilmediği gözlemlenmiştir. Gecikme, alan, güç ve enerji bakımından tüm hibrit paralel toplayıcıların tüm uzunluklarda ele alınarak tam performans sonuçları açısından değerlendirilmesi ileriki çalışmalar açısından önemlidir.

Kaynaklar (References)

1. L. Gopal, N. S. Mohd Mahayadin, A. K. Chowdhury, A. A. Gopali and A. K. Singh, Design and synthesis of reversible arithmetic and Logic Unit (ALU), 2014 International Conference on Computer, Communications, and Control Technology (I4CT), Langkawi, Malaysia, 289-293, 2014.
2. Girard, P., Survey of low-power testing of VLSI circuits. IEEE Design & test of computers, 19 (3), 82-92, 2002.
3. Ramkumar, B., & Kittur, H. M., Low-power and area-efficient carry select adder. IEEE transactions on very large scale integration (VLSI) systems, 20 (2), 371-375, 2011.
4. Das, S., Khatri, S. P., A Novel Hybrid Parallel-Prefix Adder Architecture With Efficient Timing-Area Characteristic. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 16 (3), 326-331, 2008.
5. Zhang, W., Feng, G., Liu, Y. F., Wu, B., A digital power factor correction (PFC) control strategy optimized for DSP. IEEE Transactions on Power Electronics, 19 (6), 1474-1485, 2004.
6. Kurt, O., Çeşitli toplama ve çarpma-toplama devrelerinin sahada programlanabilir kapı dizileri üzerinde gerçekleştirilmesi ve analizi, Yüksek Lisans Tezi, Trakya Üniversitesi, Fen Bilimleri Enstitüsü, Edirne, 2016.
7. Özmen, A., Hızlı hesaplama için yüksek performanslı paralel örnek toplayıcıların tasarımı, Yüksek Lisans Tezi, İstanbul Üniversitesi, Fen Bilimleri Enstitüsü, İstanbul, 2011.
8. Gedam, S., Zode, P., and Zode, P., FPGA implementation of hybrid Han-Carlson adder. 2014 2nd International Conference on Devices, Circuits and Systems (ICDCS), Coimbatore, India, 2014, 1-4, 2014.
9. Kokilavani, V., Preethi, K., & Balasubramanian, P., FPGA-based synthesis of high-speed hybrid carry select adders. Advances in Electronics, 13, 1-13, 2015.
10. Gomathi, M., A Parallel Algorithm for Design of Hybrid Modular Parallel Prefix Adder. International Journal of Advanced Research Trends in Engineering and Technology (IJARTET), 3 (2), 1164-1168, 2016.
11. Chand, G. S., Das, S. P., Implementation of High Performance Spanning Tree Adder using Quaternary Logic. International Journal of VLSI System Design and Communication Systems, 2 (11), 1186-1193, 2014.
12. Rashid, M. and Muhtaroglu, A., Power delay product optimized hybrid full adder circuits. 2017 International Artificial Intelligence and Data Processing Symposium (IDAP), Malatya, Turkey, 1-4, 2017.
13. Rakesh, S., & Grace, K. V., A comprehensive review on the VLSI design performance of different Parallel Prefix Adders. Materials Today: Proceedings, 11, 1001-1009, 2019.
14. Al-Khalili A.J., Parallel Adders. COEN 6501, 1-52, 2011.
15. Uma, R. et al, Area, Delay and Power Comparison of Adder Topologies. International Journal of VLSI design & Communication Systems (VLSICS), 3 (1), 153-168, 2012.
16. Alshewimy, M. A. M., Serbas, A., FPGA-based New Hybrid Adder Design with the Optimal Bit-Width Configuration. International Journal of Computer Applications (0975 – 8887), 65 (11), 15-19, 2013.
17. Fariddin, S. B., Vijay, E. V., Design of Efficient 16-Bit Parallel Prefix Ladner-Fischer Adder. International Journal of Computer Applications (0975 – 8887), 79 (16), 11-16, 2013.
18. Poornima, N., & Bhaaskaran, V. K., Area efficient hybrid parallel prefix adders. Procedia Materials Science, 10, 371-380, 2015.
19. Wimer, S., & Stanislavsky, A., Energy efficient hybrid adder architecture. Integration, 48, 109-115, 2015.
20. Fatima, T., Uma, S., Design and Implementation with Area, Power and Delay Estimation of Hybrid Parallel Prefix Adder. International Journal of Emerging Engineering Research and Technology, 3 (8), 77-84, 2015.
21. Nirmaladevi, R., & Seshasayanan, R., Energy efficient parallel hybrid adder architecture for 3X generation in radix-8 booth encoding. Cluster Computing, 22 (5), 10709-10716, 2019.
22. Parmar, S. and Singh, K. P., Design of high speed hybrid carry select adder. 2013 3rd IEEE International Advance Computing Conference (IACC), Ghaziabad, India, 1656-1663, 2013.
23. Shieh S., Huang D. and Chu Y., Low Voltage and Low Power 64-Bit Hybrid Adder Design Based on Radix-4 Prefix Tree Structure. 2014 International Symposium on Computer, Consumer and Control, Taichung, Taiwan, 446-449, 2014.

24. Ibrahim, A., & Gebali, F., Optimized structures of hybrid ripple carry and hierarchical carry lookahead adders. *Microelectronics Journal*, 46 (9), 783-794, 2015.
25. Sudhakar, S.M., Chidambaram, K.P., & Swartzlander, E.E., S., Hybrid Han-Carlson adder. 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), Boise, ID, USA, 818-821, 2012.
26. Jom, S. and Asha, J., Hybrid Variable Latency Carry Skip Adder. 2018 International Conference on Circuits and Systems in Digital Enterprise Technology (ICCSDET), Kottayam, India, 1-6, 2018.
27. Ramu, N., & Ramachandran, S., Hybrid parallel adder for 3X multiple generation in radix-8 booth encoding using fast carry tree structure. *Circuit World*, 47 (2), 230-239, 2021.
28. Irmak, E., Calpbinici A., A new design for e-laboratories: Simultaneously accessible experimental application platform, *Journal of the Faculty of Engineering and Architecture of Gazi University*, 32 (2), 363-375, 2017.

