

Atf İçin: Özdağ M, Yaren T, Kizir S, 2021. Kök Yer Eğrisi ve Bode Diyagramı ile Gerçek Zamanlı DC Motor Konum Kontrolü İçin Faz İlerlemeli-Gerilemeli Denetleyici Tasarımı. Iğdır Üniversitesi Fen Bilimleri Enstitüsü Dergisi, 11(3): 1874-1886.

To Cite: Özdağ M, Yaren T, Kizir S, 2021. Phase Lead-Lag Controller Design for Real-Time DC Motor Position Control with Root Locus and Bode Diagram. Journal of the Institute of Science and Technology, 11(3): 1874-1886.

Kök Yer Eğrisi ve Bode Diyagramı ile Gerçek Zamanlı DC Motor Konum Kontrolü İçin Faz İlerlemeli-Gerilemeli Denetleyici Tasarımı

Mertcan ÖZDAĞ¹, Tuğçe YAREN^{1*}, Selçuk KİZİR¹

ÖZET: Bu çalışmada, gerçek zamanlı DC motor konum kontrolü için klasik kontrol yöntemlerinden olan faz ilerlemeli ve faz ilerlemeli – gerilemeli denetleyici tasarımı kök yer eğrisi ve Bode diyagramı yöntemleri ile gerçekleştirilmiştir. Model tabanlı bir denetleyici tasarlanacağı için matematiksel model, kara kutu sistem tanımlama yöntemiyle deneysel verilerden hesaplanarak elde edilmiştir. STM32F4 geliştirme kiti ve Matlab destekli Waijung blok seti kullanılarak uygulama geliştirilmiştir. Denetleyici performansı, sisteme referans girişler verilmesi sonucu deney düzeneği üzerinde gerçek zamanlı sonuçların gözlenmesi ile test edilmiştir. Her iki yöntem tasarım sürecinin işleyişi ve yöntemlerin uygulanabilirliği gerçek zamanlı olarak gösterilmiş ve tasarlanan denetleyicilerin başarılı performans sergilediği gözlenmiştir. Gerçekleştirilen uygulamada kullanılan test düzeneği ve yöntemler, kontrol uygulamaları için hem güvenilir çalışma hem de ekonomik çözüm sunmaktadır.

Anahtar Kelimeler: Faz ilerlemeli-gerilemeli kontrol, kök yer eğrisi, Bode diyagramı, DC motor, kontrol eğitimi

Phase Lead-Lag Controller Design for Real-Time DC Motor Position Control with Root Locus and Bode Diagram

ABSTRACT: In this study, phase lead and phase lead-lag controller design, which are among the classical control methods, was implemented by root locus and Bode diagram methods for real-time DC motor position control. Since a model-based controller will be designed, the mathematical model has been obtained by calculating from experimental data with the black box system identification method. The implementation was developed using the STM32F4 development kit and the Waijung block set supported by Matlab. Controller performance has been tested by observing real-time results on the experimental setup as a result of giving reference inputs to the system. The functioning of the design process of both methods and the practicability of the methods were introduced in real-time and it was observed that the designed controllers achieved successful performance. The experimental setup and methods used in the application offer both reliable operation and economical solutions for control applications.

Keywords: Phase lead-lag control, root locus, Bode diagram, DC motor, control education

¹Mertcan ÖZDAĞ ([Orcid ID: 0000-0003-2582-4033](https://orcid.org/0000-0003-2582-4033)), Tuğçe YAREN ([Orcid ID: 0000-0001-9937-3111](https://orcid.org/0000-0001-9937-3111)), Selçuk KİZİR ([Orcid ID: 0000-0002-0582-5904](https://orcid.org/0000-0002-0582-5904)), Kocaeli Üniversitesi, Mühendislik Fakültesi, Mekatronik Mühendisliği Bölümü, Kocaeli, Türkiye

*Sorumlu Yazar/Corresponding Author: Tuğçe YAREN, e-mail: tugce.yaren@kocaeli.edu.tr

GİRİŞ

Lineer ve zamanla değişmeyen sistemlerin davranışlarını ve kararlılıklarını analiz etmek için kullanılan birçok yöntem bulunmaktadır. Bu yöntemlerden biri olan ve literatürde sıklıkla kullanılan kök yer eğrisi yöntemi, mevcut sistemin açık çevrim kutuplarını ve sıfırlarını kullanarak, bir denetleyici kazancınının değişimine göre kapalı çevrim transfer fonksiyonunun kutuplarının yerinin bulunmasını sağlamaktadır (Güldemir, 1991). Bir sistemin kutuplarının konumunun bilinmesi o sistemin zaman uzayında davranış karakteri hakkında doğrudan fikir vermektedir. Bir diğer yöntem olan Bode diyagramı yöntemi (Kuo, 2016) ise, sistemin çeşitli frekanslardaki sinüs sinyaline karşı verdiği genlik ve faz değişimine göre oluşturulmaktadır. Burada önemli olan sistemin faz marjini ve kazanç marjini. Kontrolcü tasarlanırken bu marjinler istenilen değerlere getirilerek dolaylı yoldan zaman uzayında arzu edilen sistem davranış kriterine ulaşılmaya çalışılır.

Literatür incelendiğinde birçok farklı uygulama alanında Bode diyagramları ve kök yer eğrisi kullanılarak tasarlanan çeşitli kontrolcüler göze çarpmaktadır. Nayak ve ark. (2015), Bode diyagramlarını kullanarak bir DC-DC dönüştürücü devreye faz ilerlemeli kontrolcü tasarlamışlar ve devrenin dinamik davranışının PI kontrolör yerine faz ilerlemeli kontrol tasarımı ile iyileştiği sonucuna varmışlardır. Alasooly (2011), DC motor hız kontrolü için çeşitli kontrolcüler (PID, faz ilerlemeli – gerilemeli vb.) tasarlayıp bunların dinamik performans karşılaştırmasını yapmıştır. Performans analizinde kök yer eğrisi ve Bode diyagramlarını esas almıştır. Kim ve Schaefer (2005), kök yer eğrisi ve Bode diyagramlarını kullanarak PID kontrolcünün parametrelerinin nasıl ayarlanacağını göstermişler ve parametre ayarının sistem performansına etkisini ortaya koymuşlardır. Yaren ve ark. (2014) kontrol eğitimi uygulamalarına örnek olarak DC motor konum kontrolüne ait kök yer eğrisi tabanlı faz ilerlemeli kontrol sonuçlarını sunmuşlardır.

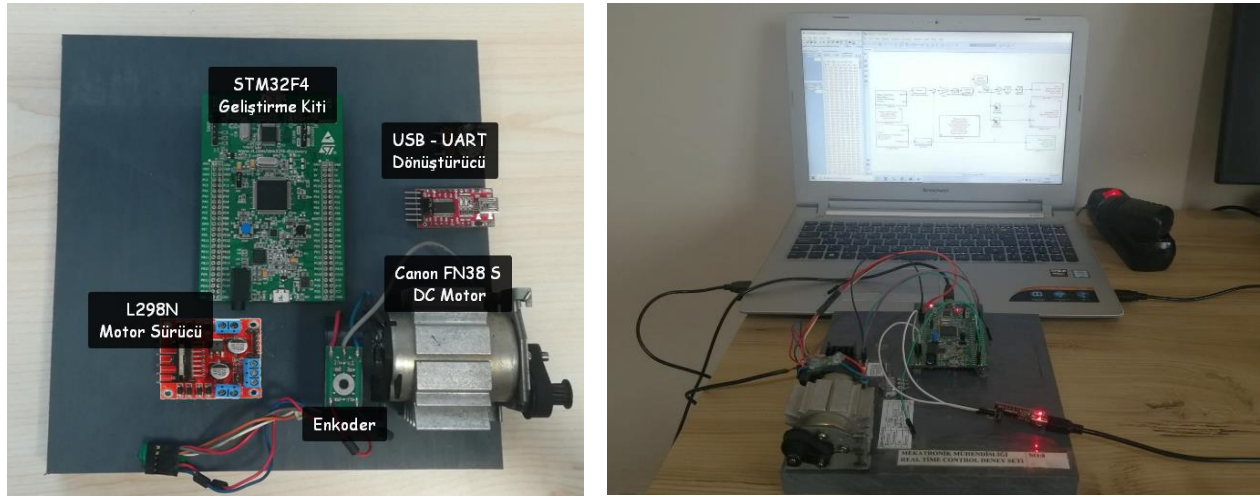
Faz ilerlemeli kontrolcü yapısı gereği PD kontrolcüye benzemektedir (PD ve faz ilerlemeli kontrolcülerin her ikisi de sisteme faz ekler). Faz gerilemeli kontrolcü ise yapısı gereği PI kontrolcüye benzemektedir (Faz gerilemeli ve PI kontrolcülerin her ikisi de sistemden faz çıkartır). Faz ilerlemeli – gerilemeli kontrolcü ise PID kontrolcüye benzemektedir (Franklin ve ark., 2002).

Faz ilerlemeli – gerilemeli kontrolcü, klasik bir PID kontrolcü ile faz ekleme-çıkarma noktasında benzer yapıya sahip olmakla birlikte, farklı işleyişlere sahiptirler (Alasooly, 2011; Franklin ve ark., 2002). PD kontrolörün frekans-cevap karakteristiği incelendiğinde genliğin, artan frekans ile yükselme eğiliminde olduğu görülür. Bu özellik ise istenmeyen bir durumdur çünkü herhangi bir gerçek sistemde tipik olarak bulunan, yüksek frekanslı gürültüyü yükseltir. PD kontrolörünün yüksek frekanslı amplifikasyonunu azaltmak için, PD kontrolörün kırılma noktasından daha yüksek frekanslarda paydaya bir kutup eklenerek faz ilerlemeli denetleyici yapısına geçilir. Böylece, faz artışı hala meydana gelir, ancak yüksek frekanslarda amplifikasyon sınırlandırılır (Franklin ve ark., 2002). Faz gerilemeli ve PI denetleyici sistemden faz çıkartırken; PI denetleyicisi, fazı kopma noktası frekansından düşük tüm frekanslar için azaltır, faz gerilemeli denetleyici ise, fazı yalnızca kopma noktası frekansını civarındaki küçük bir frekans aralığı için azaltır. Faz marjininin azalması, kapalı çevrim sistemin geçici yanıtına olumsuz etki ettiğinden PI kontrolör yerine faz gerilemeli denetleyici tercih edilebilir (Rohitha ve ark., 2005). PID denetleyicileri, yüksek frekanslı gürültü ve integral yığılması etkisine oldukça duyarlıdır. Daha pratik alternatifleri, faz ilerlemeli – gerilemeli denetleyicilerdir (Golnaraghi ve Kuo, 2010; Nise, 2011).

Mantz ve Battista (2004), Hodel ve Hall (2011) PID denetleyicisinin temel dezavantajlarından olan yüksek frekanslı gürültüye ve integral yığılmasına karşı hassasiyeti ele alınmıştır. En uygun alternatifler olarak faz ilerlemeli, faz gerilemeli, faz ilerlemeli-gerilemeli denetleyiciler Rohitha ve ark.

(2005) ve Horng (2012) tarafından incelenmiştir. Chen (1989), Zanasi ve Coughi (2011) tarafından gerçekleştirilen çalışmalarda ise tartışılan bazı durumlarda, ikinci dereceden faz ilerlemeli ve faz gerilemeli kontrolörlerin, yaygın olarak kullanılan PID kontrolörlerine kıyasla daha iyi sonuçlara yol açtığı gözlenmiştir.

Yapılan deneysel çalışmada tasarlanan denetleyiciler, oluşturulan deney seti (Şekil 1) üzerinde gerçek zamanlı olarak test edilmiştir. Deney seti üzerinde 168 PPR dahili enkodere sahip olan Canon FN38 S DC motor, L298N motor sürücü entegresi, USB-UART dönüştürücü entegresi, STM32F4 geliştirme kartı bulunmaktadır. STM32F4 geliştirme kartı Simulink üzerinden Waijung blok seti ile kullanılmıştır. Waijung blok seti, ARM mimarisine sahip kontrol kartının mimarisi hakkında detaylı bilgi sahibi olmadan Matlab Simulink üzerinden kullanılmasını mümkün kılmaktadır (Yeniaydın ve ark, 2014).



Şekil 1. Deney düzeneği

Bu çalışmada öncelikle DC motor sisteminin transfer fonksiyonu verilmiş, kök yer eğrisi ve Bode diyagramı yöntemlerine dayalı denetleyici tasarımı ayrı ayrı ele alınmıştır. Tasarım ve uygulama çeşitliliği sağlamak için kök yer eğrisi yöntemi kullanılarak faz ilerlemeli-gerilemeli; Bode diyagramı yöntemi kullanarak faz ilerlemeli kontrolcü tasarımı gerçekleştirilmiştir. Tasarlanan kontrolcülerin başarımı deneysel olarak sistem üzerinde incelenmiş ve başarılı bir şekilde motor konum kontrolünün sağlandığı sonucuna varılmıştır.

MATERYAL VE METOT

STM32F4 geliştirme kiti ve Waijung blok set

STM32F4 geliştirme kiti, ARM mimarisine sahip bir mikrodenetleyiciyi bünyesinde barındırır. 32 bit mimariye sahip bu işlemci, yüksek hızı sayesinde gerçek zamanlı kontrol uygulamalarında istenilen performans kriterlerini sağlar. Kullanılan geliştirme kiti kartında işlemcinin çevresel birimlerinin rahatça kullanılması için gerekli eklentiler yapılmıştır. Kart üzerindeki pinler sayesinde, ADC, PWM, UART, GPIO gibi çeşitli çevresel birimleri rahatlıkla kullanabiliriz. Waijung blok seti (Waijung BlockSet, 2020), hızlı prototipleme yapmak isteyen araştırmacıların karmaşık ARM mimarisine sahip mikroişlemcileri mimari hakkında bilgi sahibi olmasına gerek kalmadan kullanabilmesi için geliştirilmiştir. Matlab Simulink üzerine eklenen Waijung blokları ile işlemcinin her türlü çevresel birimi ayarlanabilmekte ve oluşturulacak algoritma klasik Simulink blokları yardımı ile oluşturulmaktadır (Tosun ve ark., 2019). Daha sonra özel derleyiciler ile bu bloklar C koduna dönüştürülerek işlemciye

gömülmektedir. Bu sayede hızlı prototipleme yapmak isteyen araştırmacılar, vakit kaybetmeden araştırmalarını yapabilmektedir.

DC motor modeli

Bu çalışmada kullanılan DC Motorun modeli sistem tanımlama yöntemiyle deneysel verilerden hesaplanarak kara kutu yaklaşımı ile elde edilmiştir (Kızır ve ark., 2019). Model tabanlı bir denetleyici tasarlanacağı için gerçek sistemi temsil etmesi hedeflenmiştir. Kullanılacak transfer fonksiyonu 1 numaralı denklem ile verilmiştir.

$$\frac{\theta(s)}{V(s)} = \frac{68063}{s^2 + 120.6s + 0.0001084} \quad (1)$$

Normalde üçüncü dereceden bir karakteristik denkleme sahip olan DC Motor konum transfer fonksiyonu, kara kutu yaklaşımı ile yüzde 93 doğruluk oranında ikinci dereceden bir karakteristik denkleme sahip olan transfer fonksiyonu olarak çıkarılmıştır. Kara kutu yaklaşımı ile çıkarılan transfer fonksiyonun içerisinde, klasik transfer fonksiyonu kullanılarak elde edilemeyecek olan motor sürücü entegresinin etkileri, ölçülemeyen fiziksel parametrelerin etkileri vb. bulunmaktadır.

Faz ilerlemeli/ ilerlemeli-gerilemeli kontrol

Faz ilerlemeli kontrolcü sisteme bir sıfır ve bir kutup ekler. Eklenen sıfır sanal eksene kutuptan daha yakın olduğu için, bu ikisinin konumlarına göre sisteme bir faz eklenmiş olur. Genelde faz ilerlemeli kontrolcüler kök yer eğrisini sola doğru bükmeye eğilimlidir. Bu sayede sistemin kararlılığını arttırlar. Eklenen faza ve kazanca göre sistemin baskın kutuplarını istediğimiz yere atayabiliriz. Faz ilerlemeli kontrolcü yapısı gereği PD kontrolcüye benzer. PD kontrolcüde sisteme sadece bir sıfır ekleyerek faz eklemiş oluruz. Kp ve Kd parametrelerinin oranına göre sıfırın konumunu ayarlar ve böylece eklenen fazı ayarlamış oluruz. Faz ilerlemeli kontrolcüde serbestlik derecesi PD kontrolcüye göre daha fazla olduğu için (bağımsız olarak keyfe keder değer verilebilecek parametre sayısı) faz ilerlemeli kontrolcü daha esnektir (Horng, 2012). Bunun yanında türev almanın getirdiği olumsuzluklardan ötürü faz ilerlemeli kontrolcü PD kontrolcüye göre daha avantajlıdır denebilir. Faz ilerlemeli kontrolcü genellikle baskın kutupları istenilen performansı vermeyen sistemlerde, kutupları arzu edilen bölgeye atamak için kullanılır. Eğer bir sistemin orijinal kök yer eğrisindeki bir noktası arzu edilen sistem cevabını karşılıyor ise sisteme faz ekleyerek kök yer eğrisini tekrar şekillendirmeye gerek yoktur. Bunun yerine kök yer eğrisinden bir nokta seçilerek o noktadaki kökler kullanılabilir. Bu durumda bir kalıcı durum hatası oluşuyor ise faz gerilemeli kontrolcü ya da PI kontrolcü kullanılabilir.

Sistemden hem hızlı yanıt hem de yüksek doğruluk isteniyorsa, faz ilerlemeli-gerilemeli kontrolör kullanılabilir. Faz ilerlemeli-gerilemeli kontrolörün kullanılmasıyla, düşük frekans kazancı artırılabilir (bu, kararlı durum doğruluğunda iyileştirme anlamına gelir) ve aynı zamanda sistem bant genişliği ve kararlılık marjini artırılabilir (Ogata, 2008). Genel bir kural olarak, kontrolörün faz ilerleme kısmı, tepe zamanını azaltmak ve daha yüksek bant genişliği elde etmek için, faz gerileme kısmı ise sistemin sönümlenmesini sağlamak için kullanılır (Horng, 2012).

Kök yer eğrisi ile kontrolcü tasarımı

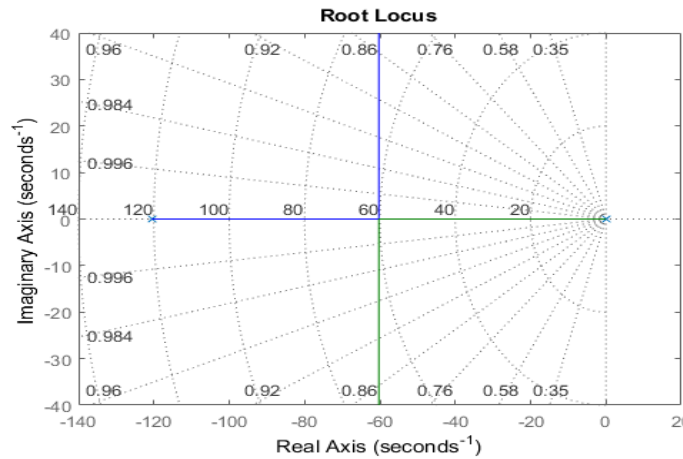
Kök yer eğrisi, bir sistemin bir denetleyici kazancına göre kapalı çevrim transfer fonksiyonunun karakteristik denkleminin köklerinin frekans uzayında değişimini gösteren bir grafiktir (Kuo, 2016). Kök yer eğrisi bir sistemin analiz edilmesi, kontrol edilirken köklerin nereye gideceği ile ilgili bilgi vermesi ve kontrolcü tasarlanması için oldukça işe yarar bir araçtır.

Faz ilerlemeli-gerilemeli kontrolcünün transfer fonksiyonu 2 numaralı denklem ile verilmiştir. Kontrolcü tasarım parametrelerini, transfer fonksiyonunda bulunan Kc, T1, T2 ve β parametreleri

oluşturmaktadır. T1 ve T2 parametreleri ilgili kontrolcünün zaman sabitini ifade etmektedir. β parametresi ise, pozitif ve 1'den büyük olduğunda, faz ilerlemeli kısımda kutup noktasının sıfırdan daha geride, faz gerilemeli kısımda ise kutup noktasının sıfırdan daha ileride olmasını sağlar. Dolayısıyla, $G_c(s)$ transfer fonksiyonunda β 'nın pay kısmında yer aldığı transfer fonksiyonu faz ilerlemeli, payda kısmında yer aldığı transfer fonksiyonu faz gerilemeli kontrolcüye aittir. Son değer teoremine göre sistem kalıcı duruma ulaştığında, kontrolcü sabit K_c kazancını sisteme uygulamaktadır. Bu nedenle K_c parametre değerinin uygun ayarlanması, kalıcı durum hatasının integratör kullanmadan arzu edilen seviyede olmasına imkân sağlayacaktır.

$$G_c(s) = K_c * \frac{s + \frac{1}{T_1}}{s + \frac{\beta}{T_1}} * \frac{s + \frac{1}{T_2}}{s + \frac{1}{\beta T_2}} \quad (2)$$

Kara kutu yaklaşımı ile elde edilen DC Motor konum transfer fonksiyonunun kök yer eğrisi Şekil 2'de görülmektedir.



Şekil 2. Açık çevrim sistemin kök yer eğrisi

Sistemi statik bir P kontrolcü ile kontrol etmeye çalıştığımız zaman, $K=1$ için sistemin kökleri sanal ekseninde çok yukarıya çıktığından sistemin step fonksiyonuna cevabında aşım (overshoot) ve salınım miktarı artar. $K=0.0534$ değeri ile P kontrolcü uygularsak, sistemin kökleri -60 noktasında bulunmaktadır. Bu durumda çok küçük kazanç seçiminden ötürü sistemde kalıcı durum hatası meydana gelir. Kök yer eğrisini sola doğru bükerek bu durumdan kurtulabiliriz. Faz ilerlemeli kontrolcü kök yer eğrisini sola doğru bükebilir (Franklin ve ark., 2002). Tasarım yaparken öncelikle istenilen aşım değerini ve oturma zamanını belirlemeliyiz. Sistemin fiziksel özelliklerinden yola çıkarak oturma zamanını 10ms ve yüzde aşım değerini %1 olarak belirledik. Bu isterler karşısında 3 numaralı denklem ve 4 numaralı denklem kullanılarak baskın kutupların olması gerektiği nokta bulunabilir. 3 numaralı denklemde görülen m_p ; yüzde aşımı (overshoot), 4 numaralı denklemde verilen W_n ; arzu edilen kapalı çevrim kutuplarının doğal frekansını ifade etmektedir.

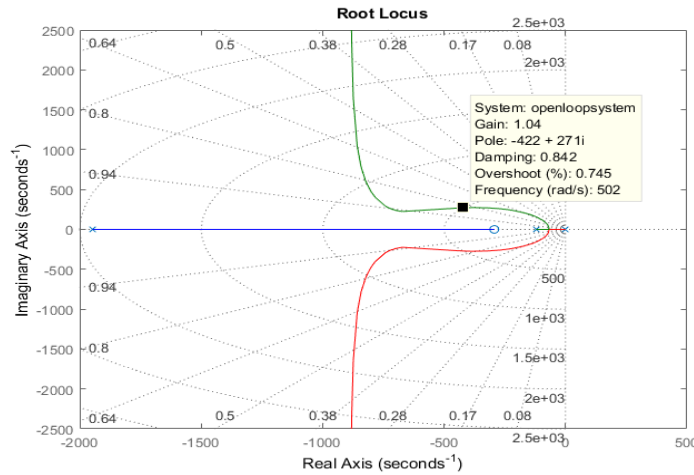
$$\text{Sönüm Katsayısı} = \frac{1}{\sqrt{1 + \left(\frac{\pi}{\log m_p}\right)^2}} \quad (3)$$

$$\text{Oturma Zamanı} = \frac{4}{W_n * \text{SönümKatsayısı}} \quad (4)$$

Sonuç olarak yukarıda verilen isterler karşısında baskın köklerin olması gerektiği nokta $s = -400 + 272j$ olarak bulunmuştur. Bu köklerin sistemin kök yer eğrisinde yer alması için genlik şartını ve açı şartını sağlamaları gereklidir (Kuo, 2016). Sistemin davranış kriterlerine bağlı olarak olması gerektiği nokta belirlenen baskın kökleri sistemin transfer fonksiyonuna yazdığımızda ± 180 derece açı şartını sağlamalıdır. Ayrıca yine aynı kökleri transfer fonksiyonuna yazdığımızda açık çevrim transfer fonksiyonunun genliği 1 olmalıdır. Bulduğumuz kökleri transfer fonksiyonuna yazdığımızda oluşan karmaşık sayının derecesi 78.6245 çıkmaktadır. Bu açıyı 180 dereceye tamamlayacak fazı sisteme eklersek, kök yer eğrisi istenen kök noktalarından geçecektir. 78.6245 derecesini 180 dereceye tamamlamak için yaklaşık 101 derece eklenmelidir. Bu dereceyi ekleyebilecek faz ilerlemeli kontrolcü sıfır ve kutup takımlarının, genlik şartını sağlamak için, getireceği kontrolcü katsayısı (Kc) farklı olacaktır. Burada önemli olan fiziksel olarak sağlanabilecek Kc değerini veren kutup-sıfır takımını seçmektir. Açı şartı ve genlik şartı göz önünde bulundurulduğunda uygun olan kutup, sıfır ve kontrolcü katsayısı aşağıdaki gibi hesaplanmıştır: $Kutup = -1948$, $Sıfır = -293.2$, $Kc = 14.9$.

Bu durumda oluşacak faz ilerlemeli kısım 5 numaralı denklemde verilmiştir.

$$G_c(s) = 14.9 * \frac{s + 293.2}{s + 1948} \quad (5)$$

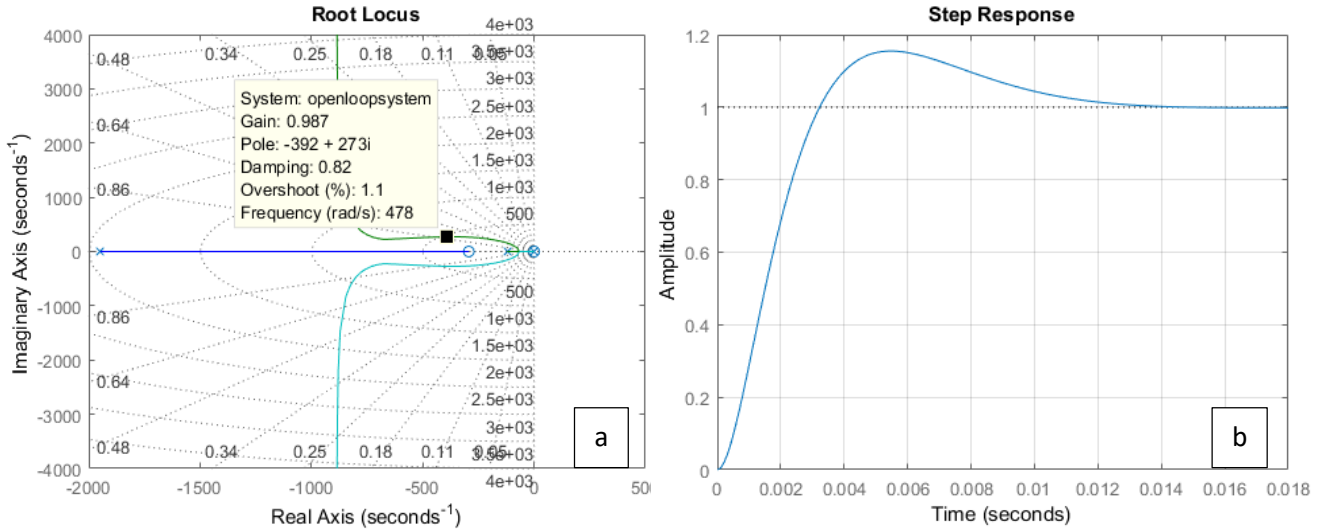


Şekil 3. Fazı ve kazancı ayarlanmış sistemin kök yer eğrisi

Faz ilerleme kısmını Denklem 2’de verilen faz ilerleme kısmına eşitleyerek β katsayısını hesaplayabiliriz. Bu işlem sonucunda $\beta=6.6425$ olarak bulunur. Faz ilerlemeli kısım eklenmiş sistemin kök yer eğrisi Şekil 3’de verilmiştir. Görüldüğü gibi kök yer eğrisi sola doğru bükülmüştür. Kazancı ve derecesi ayarlanmış sistemin $K=1$ için baskın köklerinin yeri daha önceden hesaplanmış olan köklerin konumu olmuştur. Şimdi sistemde oluşabilecek kalıcı durum hatasını sıfırlamaya yarayacak olan faz gerilemeli kısmın tasarımı yapılacaktır.

Faz gerilemeli kısmın β değeri faz ilerleme kısmın tasarımını yaparken bulunmuştur. Burada yapılması gereken Denklem 2’de görülen T_2 değerinin seçilmesidir. Faz gerilemeli kontrolcünün T_2 parametresi seçilirken, faz gerilemeli kısmın mümkün olduğunca sisteme faz ve kazanç eklememesi amaçlanmalıdır. Bu amaç doğrultusunda T_2 değerini 100 seçebiliriz. Bu durumda oluşacak faz gerilemeli kısmın transfer fonksiyonu 6 numaralı denklemde verilmiştir.

$$G_c(s) = \frac{s + 0.01}{s + 0.0001505} \quad (6)$$



Şekil 4. a) Kontrolcüsü eklenmiş sistemin kök yer eğrisi b) Kontrolcüsü tasarlanmış sistemin step girişine yanıtı

Sonuç olarak kök yer eğrisi ile tasarlanan faz ilerlemeli-gerilemeli kontrolcünün transfer fonksiyonu ise 7 numaralı denklemde verilmiştir. Bu kontrolcü sisteme 2 sıfır ve 2 kutup eklemektedir.

$$G_c(s) = 14.9 * \frac{s + 293.2}{s + 1948} * \frac{s + 0.01}{s + 0.0001505} \quad (7)$$

Faz ilerlemeli ve faz gerilemeli kontrolcü eklenmiş sistemin kök yer eğrisi Şekil 4a' da görülmektedir. Ayrıca kontrolcü eklenmiş sistemin MATLAB ortamında step girişine verdiği cevap ise Şekil 4b'de verilmiştir.

Bode diyagramı ile kontrolcü tasarımı

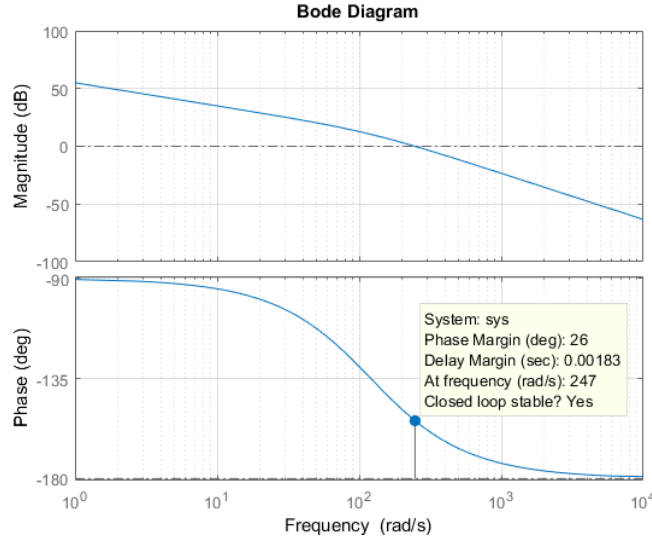
Sistemler, girişlerindeki sinyali belirli bir faz ve genlik farkı ile takip ederler. Bode diyagramı bir sistemin farklı frekans değerindeki girdilere verdiği cevapla ilgilenir. Bode diyagramı sayesinde belirli bir frekans girdisini sistemin ne kadar faz ve ne kadar genlik farkıyla takip edeceğini saptayabiliriz. Tıpkı kök yer eğrisinde köklerin sağ veya sol düzlemde olması ile kararlılık analizi yapıldığı gibi, faz marjini ve kazanç marjini gibi kavramlar yardımı ile Bode diyagramı kullanılarak kararlılık analizi yapılabilir. Bir sistemin faz ve kazanç marjini istenilen noktaya getirmek yolu ile o sistem için kontrolcüler tasarlanabilir.

Faz ilerlemeli kontrolcünün transfer fonksiyonu 8 numaralı denklem ile verilmiştir.

$$G_c(s) = K_c * \frac{s + \frac{1}{T_I}}{s + \frac{1}{\alpha * T_I}} \quad (8)$$

Bode diyagramları kullanılarak kontrolcü tasarlarken, sistemin faz ve kazanç marjinleri ile gerekli düzenlemeler yaparak dolaylı yoldan sistemin zaman uzayındaki davranışını kontrol etmiş oluruz. Bode diyagramı ile kontrolcü tasarlarken kontrolcü isterleri kök yer eğrisi ile kontrolcü tasarlarken olduğu gibi zaman uzayı cevabı cinsinden değil, kazanç ve faz marjini cinsinden olacaktır. Öncelikle yapılacak olan kontrol edilecek sistemi Bode diyagramını elde ederek faz marjini bulmaktır. Teorik olarak faz ilerlemeli kontrolcünün sisteme ekleyeceği maksimum faz miktarı 90° iken, fiziksel yapısının sınırlı olmasından dolayı pratikte faz ilerlemeli kontrolcü sisteme en fazla 65° faz ekleyebilmektedir (Ogata, 2008; Al-Gburi ve Aziz, 2016). Daha fazla faz ihtiyacı olduğunda birden fazla faz ilerlemeli kontrolcü seri olarak kullanılabilir.

İlk olarak 1 numaralı denklemde transfer fonksiyonu verilen DC motorun Bode diyagramı çizdirilmiştir ve faz marjinine bakılmıştır (Şekil 5). Kontrol edilmemiş sistemin faz marjini Şekil 5 üzerinde 26 derece olarak gözükmektedir. Öncelikle $K=K_c \cdot \alpha$ olmak üzere $K=1$ seçelim. $G1=K \cdot G_p$ olmak üzere, $G1$ transfer fonksiyonunun Bode diyagramını çizelim. $K=1$ olarak seçildiğinden, $G1=G_p$ olacaktır. Dolayısıyla Şekil 5 ile verilen Bode diyagramı değişmeyecektir.



Şekil 5. Açık çevrim sistemin Bode diyagramı

Faz marjini, sistemin sönümlenmesi ile ilgili olduğu için bir performans ölçütü olarak ele alınabilir (Toscano, 2005). Sönümlenme oranı ile faz marjini arasında $\gamma \cong 100\zeta$ (ζ : sönümlenme oranı; γ : faz marjini) şeklinde bir ilişki bulunmaktadır (Ogata, 2008). Dolayısıyla yüzde aşım performans kriteri ile de ilişkilendirilebilir. Tasarımda faz marjini isterimizi 70 dereceden büyük olacak şekilde belirleyelim, dolayısıyla sönümlenme oranı isteri 0.7'den büyük olacak şekildedir.

Bu isteri sağlamak için sisteme faz eklenmesi gerektiği aşikardır. Fakat sisteme faz eklemenin aynı zamanda sisteme bir miktar kazanç ekleme etkisi de olur. Kazanç, geçiş frekansını (crossover frequency) daha yüksek bir frekansa taşımaktır. Bu durum ise, eklenen tüm fazın tam olarak alınmadığı anlamına gelir. Çünkü geçiş frekansı beklenilenden farklı miktarda fazdan geçmektedir (Beale, 2001).

Denetleyici tasarımında istenilen faz marjinine göre ekleme yapılsa dahi tasarım gereksinimleri hala karşılanmayabilir. Tasarımcı bu adımda iki farklı yaklaşım kullanabilir. Birincisi güvenlik katsayısı kadar faz miktarı sisteme eklenilecek faza dâhil edilir ($\phi_{sf} \approx 10^\circ$, sf:safety factor) (Beale, 2001). İkinci olarak iteratif bir yol izleyerek küçük miktarlarda ($1-2^\circ$) faz ekleyerek tasarım gereksinimlerin karşılanıp karşılanmadığı kontrol edilir.

Bizim tasarımımızda isteri sağlamak için sisteme 44 derece ($70-26$) faz eklenmesi gereklidir. θ =eklenmek istenen faz açısı olmak üzere, 9 numaralı denklem kullanılarak kontrolcü parametrelerinden biri olan α hesaplanır.

$$\sin(\theta) = \frac{1-\alpha}{1+\alpha} \quad (9)$$

$\theta=44$ derece olmak üzere $\alpha=0.1796$ olarak bulunur. Bu $\alpha=0.1796$ değerinden ötürü kontrolcü sisteme kazanç ekleyecektir. Bu eklenen kazanç değeri sistemin Bode diyagramı kullanılarak yok edilmelidir. Denklem 10 ile verilen eşitlik kullanılarak kontrolcünün sisteme eklediği kazanç değerinin çarpmaya göre tersi bulunur. Bulunan bu değer $G1$ olarak belirlediğimiz transfer fonksiyonunun Bode diyagramında bulunur. Bu genliğin bulunduğu frekans faz ilerlemeli kontrolcünün kesim frekansı W_c olarak alınır.

$$20 * \log \sqrt{\alpha} \quad (10)$$

Faz ilerlemeli kontrolcünün kesim frekansı W_c kullanılarak faz ilerlemeli kontrolcünün zaman sabiti 11 numaralı denklem kullanılarak bulunur.

$$W_c = \frac{1}{\sqrt{\alpha} * T_1} \quad (11)$$

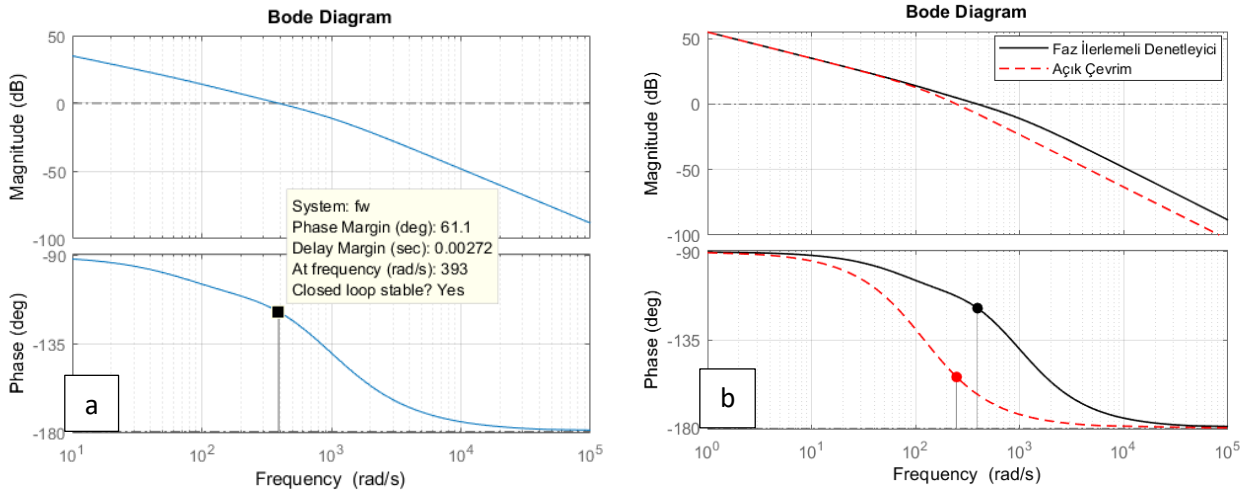
Bu işlemler sonucunda, faz ilerlemeli kontrolcünün kesim frekansı $W_c = 390 \text{ rad/sn}$ ve faz ilerlemeli kontrolcünün zaman sabiti $T_1 = 0.0061$ olarak hesaplanmıştır. Bulunan parametrelere göre faz ilerlemeli kontrolcünün transfer fonksiyonu Denklem 12 ile verilmiştir.

$$G_c(s) = 5.5679 * \frac{s + 165.279}{s + 920.2619} \quad (12)$$

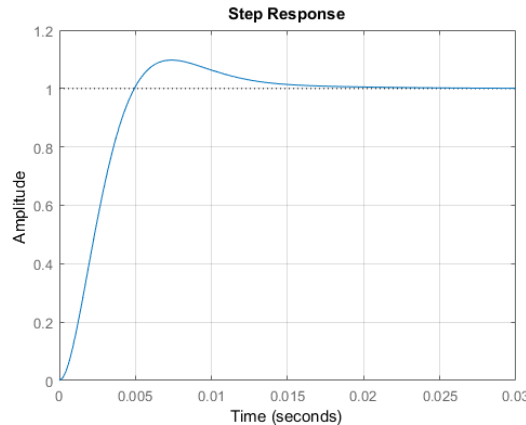
Kontrol edilmiş sistemin Bode diyagramı Şekil 6a'da görülmektedir. Son durumda faz marjini 26° 'den 61.1° 'ye yükselmiştir. Kritik tasarım gereksinimlerinde, güvenlik katsayısı veya iteratif yöntemi izlenerek denetleyici güncellenebilir.

Şekil 6b'de ise faz ilerlemeli denetleyici uygulanmış ve uygulanmamış Bode diyagramları aynı grafikte verilerek değişimin net olarak görülmesi amaçlanmıştır. Görüldüğü üzere faz ilerlemeli denetleyici ile sisteme faz eklenmiş ve daha önce bahsedilen geçiş frekansı değişimi de meydana gelmiştir.

Tasarlanan denetleyicinin sistem kontrolünü gerçekleştirip gerçekleştirmediğini test etmek için ise basamak fonksiyon girişi uygulanmış ve cevabı Şekil 7 ile gösterilmiştir. Görüldüğü üzere sistem çıkışı, referans sinyali takip etmektedir.



Şekil 6. a) Kontrol edilmiş sistemin Bode diyagramı b) Bode diyagramında denetleyici etkisi



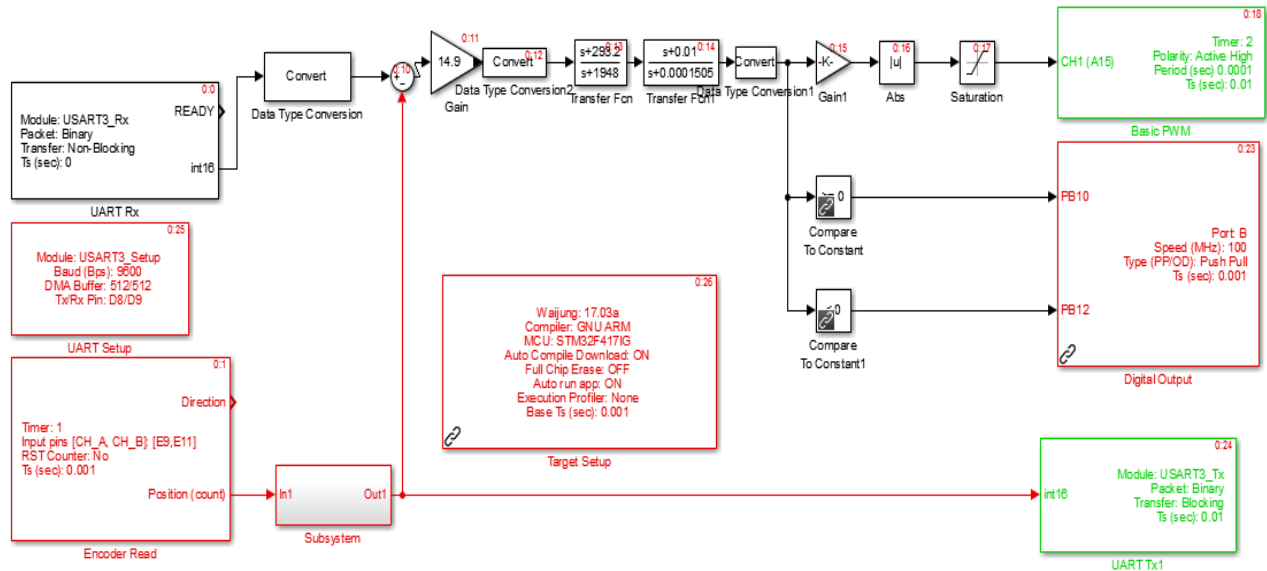
Şekil 7. Kontrol edilmiş sistemin birim basamak cevabı

BULGULAR VE TARTIŞMA

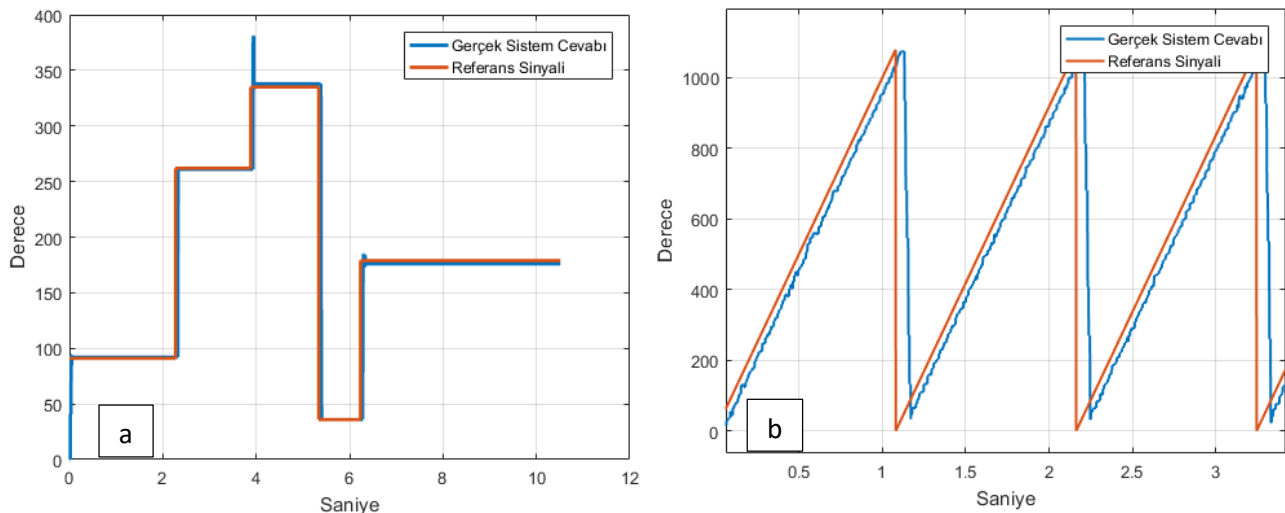
Kök yer eğrisi ile tasarlanan faz ilerlemeli-gerilemeli kontrolcünün gerçek zamanlı uygulaması

Waijung blok seti kullanılarak kök yer eğrisi yardımı ile tasarlanan faz ilerlemeli ve faz gerilemeli kontrolcünün Matlab Simulink ortamında oluşturulan uygulama modeli Şekil 8 ile gösterilmiştir. Verilen modelde mikrokontrolcü konfigürasyonu için gerekli bloklar bulunmaktadır. *Subsystem* olarak verilen blok enkoderden okunan sinyali pozisyon bilgisine çevirmek için kullanılmaktadır. Enkoderden alınan pozisyon sinyali ile referans sinyal arasındaki fark hatayı oluşturmaktadır. Hata sinyali ise modelde görüldüğü üzere elde edilen kontrolcü transfer fonksiyonu ile işleme sokulmaktadır. Kontrolcü çıkışı *Basic PWM* bloğu ile motora uygulanmaktadır. Seri port aracılığıyla sisteme gönderilen referans girişi *Uart Rx* bloğu ile elde edilebilmektedir *UART Tx* bloğu ile tasarımcı, motor konum bilgisini bilgisayar ekranı üzerinden anlık izleyebilir. *Data Type Conversion* bloğu ise farklı veri tiplerinde olan değişkenlerin, model C koduna çevrildiğinde, birbiri ile uyumlu çalışmasını sağlamak için kullanılmıştır.

Kök yer eğrisi ile kontrol edilmiş sisteme ait oluşturulan gerçek zamanlı uygulamanın rastgele giriş fonksiyonuna verdiği cevap Şekil 9a ile ve rampa referans sinyaline verdiği cevap Şekil 9b ile verilmiştir.



Şekil 8. Kök yer eğrisi ile tasarlanmış kontrolcünün gerçek zamanlı uygulamasının Simulink modeli



Şekil 9. a) Kök yer eğrisi ile kontrol edilmiş sistemin gerçek zamanlı uygulamasının rastgele giriş yanıtı b) Kök yer eğrisi ile kontrol edilmiş sistemin gerçek zamanlı uygulamasının rampa giriş yanıtı

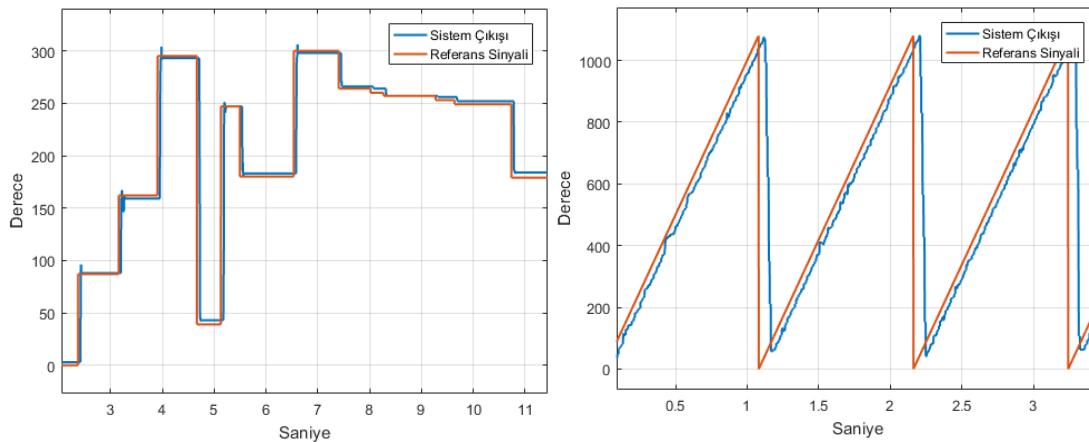
Kontrolcünün performansının test edilebilmesi için sisteme rastgele değerlerden oluşan referans sinyali uygulanmıştır. Şekil 9a'da verilen grafikte referans sinyal ile birlikte sistem çıkışı da görülmektedir. Görüldüğü üzere sistem çıkışı rastgele üretilen referans sinyalini başarı ile takip etmektedir.

İkinci olarak sisteme tekrar eden dizi sinyal, referans olarak verilmiştir. Elde edilen sistemin transfer fonksiyonu tip 0 olduğu için, sistem birim basamak işaretleri düşük kalıcı durumu hatası ile takip edebilirken (buradaki kalıcı durum hatası Kc kontrolcü parametresine bağlıdır), rampa giriş işaretlerini daha fazla kalıcı durum hatası ile takip edebilmektedir. Şekil 9b'de referans ve sistem yanıtı görülmektedir. Grafikten de anlaşılacağı üzere sistem, rastgele referans girişinde olduğu gibi tekrarlı dizi girişinde de referans sinyali takip etmekte ve birim basamak yanıtında kalıcı durum hatası olmaz iken rampa referans işaretinde olmaktadır.

Bode diyagramı ile tasarlanan faz ilerlemeli-gerilemeli kontrolcünün gerçek zamanlı uygulaması

Bode diyagramı ile tasarlanan kontrolcüyü gerçek zamanlı olarak uygulamak için kullanılan model, kök yer eğrisi ile tasarlanan kontrolcüyü uygulamak için kullanılan model (Şekil 8) ile aynıdır. Yalnızca kontrolcü transfer fonksiyonları değişmiştir.

Bode diyagramı yardımı ile tasarlanan denetim sistemine ait oluşturulan gerçek zamanlı uygulamanın rastgele giriş fonksiyonuna verdiği cevap Şekil 10a ve rampa referans sinyaline verdiği cevap Şekil 10b ile verilmiştir. Grafiklerden görüleceği üzere sistem çıkışı referans sinyallerini başarı ile takip etmektedir. Kök yer eğrisi yöntemi sonuçlarına benzer şekilde birim basamak yanıtında kalıcı durum hatası az iken iken rampa referans işaretinde daha fazladır.



Şekil 10. a) Bode diyagramı ile kontrol edilmiş sistemin gerçek zamanlı uygulamasının birim basamak giriş yanıtı b) Bode diyagramı ile kontrol edilmiş sistemin gerçek zamanlı uygulamasının rampa giriş yanıtı

SONUÇ

Bu çalışmada, faz ilerlemeli ve faz gerilemeli denetleyici yapıları ele alınmış ve denetleyici tasarım yöntemleri üzerinde durulmuştur. Kök yer eğrisi yöntemi ve Bode diyagramı yöntemi kullanılarak denetleyici tasarım detayları verilmiştir.

Tasarım süreci ve denetleyici uygulama çeşitliliği sağlamak için kök yer eğrisi yöntemi kullanılarak faz ilerlemeli-gerilemeli, Bode diyagramı yöntemi kullanılarak ise faz ilerlemeli kontrolcü tasarlanmış, Waijung blok seti kullanarak tasarlanan kontrolcüler gerçek zamanlı olarak uygulanmış ve karşılaştırılmıştır.

Bu çalışmada anlatılan kök yer eğrisi ve Bode diyagramları ile faz ilerlemeli kontrolcü tasarlama adımları vasıtasıyla LTI sistemler için faz ilerlemeli kontrolcü tasarlanabilir. Bu çalışmada Bode diyagramı ile tasarlanan kontrolcü ile kök yer eğrisi ile tasarlanan kontrolcü arasında kayda değer

performans farkı gözlenmemiştir. Bunun yanı sıra kök yer eğrisi ile kontrolcü tasarlarken kontrolcü isterleri zaman cevabı, Bode diyagramı ile kontrolcü tasarlarken kontrolcü isterleri frekans cevabı üzerinden verildiğinden kök yer eğrisi yöntemi ile daha hedefe yönelik kontrolcü tasarımı yapılabileceği gösterilmiştir. Bode diyagramı ile kontrolcü tasarlamasının işlem yükü açısından kök yer eğrisi ile kontrolcü tasarlamaktan daha avantajlı olduğu görülmüştür. Her iki yöntem tasarım süreci de farklı işleyişe sahiptir ve gerçekleştirilen çalışmada yöntemlerin uygulanabilirliği gerçek zamanlı olarak gösterilmiştir.

Çıkar Çatışması

Bu çalışmada herhangi bir çıkar çatışması yoktur.

Yazar Katkısı

Özdağ M, deneyler, sonuç analizi; Yaren T, makalenin yazım, düzenleme ve kontrol işlemi; Kizir S, makalenin yazım, düzenleme ve kontrol işlemi.

KAYNAKLAR

- Aimagin, 2017. Waijung BlockSet. <https://waijung1.aimagin.com/> (Erişim Tarihi: 15.12.2020).
- Alasooly H, 2011. Control of DC Motor Using Different Control Strategies. *Global Journal of Technology & Optimization*, 2(2), 1-8.
- Al-Gburi RNA, Aziz AS, 2016. Control System Design by Frequency Response Using Matlab. *International Journal of New Technology and Research*, 2(2), 78-84.
- Beale G, 2001. Phase Lead Compensator Design Using Bode Plots, *Classical Systems and Control Theory*, in the Electrical and Computer Engineering Department, George Mason University, Fairfax.
- Chen Y, 1989. Replacing a PID controller by a lat-lead compensator for a robot-a frequency-response approach. *IEEE Transactions on Robotics and Automation*, 5(2), 174–182.
- Franklin GF, Powell JD, Emami-Naeini A, 2002. *Feedback Control of Dynamic Systems*. Prentice Hall, 880 s.
- Golnaraghi F, Kuo B, 2010. *Automatic Control Systems*. 9th ed. John Wiley & Sons, Inc.
- Güldemir H, 1991. Kontrol Sistemlerinin Bilgisayar Yardımı ile Frekans Analizi, Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, (Basılmış).
- Hodel AS, Hall CE, 2001. Variable-structure PID control to prevent integrator windup. *IEEE Transactions on Industrial Electronics*, 48(2), 442–451.
- Horng HY, 2012. Lead-lag compensator design based on genetic algorithms. *Conference on Technologies and Applications of Artificial Intelligence (TAAI)*.
- Kim K, Schaefer RC, 2005. Tuning a PID Controller for a Digital Excitation Control System. *IEEE Transactions on Industry Applications*, 41(2), 485-492.
- Kizir S, Yaren T, Kelekçi E, 2019. Matlab Simulink Destekli Gerçek Zamanlı Kontrol. Seçkin Yayıncılık, s. 288, Ankara-Türkiye.
- Kuo CB, 2016. *Automatic Control Systems*. 8th edition. Prentice Hall PTR Upper Saddle River, s. 933, NJ United States.
- Mantz RJ, Battista HD, 2004. Comments on variable structure PID control to prevent integrator windup. *IEEE Transactions on Industrial Electronics*, 51(3), 736–738.
- Nayak B, Kumar S, Dash SS, 2015. Design of Phase Lead Compensator for Buck Converter Fed Adjustable Speed Drive. *International Conference on Communication, Control and Intelligent Systems*.

- Nise NS, 2011. Control Systems Engineering. 6th ed. John Wiley & Sons, Inc.
- Ogata K, 2008. Modern Control Engineering. Pearson Education, 912 s.
- Rohitha PD, Senadheera S, Pieper JK, 2005. Fully Automated PID and Lead/Lag Compensator Design tool for Industrial Use. IEEE Conference on Control Applications.
- Toscano R, 2005. A simple robust PI/PID controller design via numerical optimization approach. Journal of Process Control, 15(2005), 81–88.
- Tosun MF, Gençkal AA, Şenol R, 2019. Modern Kontrol Yöntemleri ile Bulanık Mantık Temelli Oda Sıcaklık Kontrolü. Süleyman Demirel Üniversitesi Fen Bilimleri Enstitüsü Dergisi, 23(3), 992-999.
- Yaren T, Süel V, Yeniaydın Y, Sakacı B, Kızır S, 2014. STM32F4 Kiti ile Simulink Tabanlı Kontrol Eğitimi Uygulamaları Geliştirme. TOK Bildiri Kitabı, s. 65, Kocaeli-Türkiye.
- Yeniaydın Y, Sakacı B, Yaren T, Süel V, Kızır S, 2014. DC Motor Hız Kontrolü için Model Referans Uyarlamalı PID Denetleyici Tasarımı. TOK Bildiri Kitabı, s. 65, Kocaeli-Türkiye.
- Zanasi R, Coughi S, 2011. Design of lead-lag compensators for robust control. 9th IEEE International Conference on Control and Automation (ICCA).